

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2778396号

(45) 発行日 平成10年(1998) 7 月23日

(24) 登録日 平成10年(1998) 5 月 8 日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 J 13/00

H 0 4 J 13/00

A

請求項の数 9 (全 38 頁)

(21) 出願番号 特願平5-5848

(22) 出願日 平成 5 年(1993) 1 月18日

(65) 公開番号 特開平6-77931

(43) 公開日 平成 6 年(1994) 3 月18日

審査請求日 平成 9 年(1997) 1 月 9 日

(31) 優先権主張番号 特願平4-196258

(32) 優先日 平 4 (1992) 6 月29日

(33) 優先権主張国 日本 (J P)

(73) 特許権者 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 村井 英志

鎌倉市大船五丁目 1 番 1 号 三菱電機株  
式会社 通信システム研究所内

(74) 代理人 弁理士 宮田 金雄 (外 2 名)

審査官 石井 研一

(56) 参考文献 特開 平 3 - 226037 (J P, A)

特開 平 5 - 227125 (J P, A)

特表 平 6 - 501349 (J P, A)

(58) 調査した分野(Int.Cl.<sup>6</sup>, D B 名)

H04J 13/00

(54) 【発明の名称】 スペクトル拡散信号の受信機

1

(57) 【特許請求の範囲】

【請求項 1】 同期検波された複素受信信号と拡散符号とを乗積し加算する複数の相関処理器と、

上記複数の相関処理器の入力側または出力側に設けて上記複数の相関処理器の入力を与えるタイミングまたは上記複数の相関処理器の出力を次段に与えるタイミングを調整して、上記複数の相関処理器出力をそれぞれ異なるタイミングで出力するタイミング調整手段と、

上記異なるタイミングで出力される相関処理器出力群を順次選択出力するゲート回路と、

上記ゲート回路から順次出力される相関処理器出力のウォルッシュ関数を解き相関値強度として出力する高速変換器とで構成されるサーチ処理手段、

を有するサーチャーレーバを備えたことを特徴とするウォルッシュ関数等の直交符号を用いたスペクトル拡散

2

信号の受信機。

【請求項 2】 同期検波された複素受信信号と拡散符号とを乗積し加算する複数の相関処理器と、

上記複数の相関処理器の入力側または出力側に設けて上記複数の相関処理器の入力を与えるタイミングまたは上記複数の相関処理器の出力を次段に与えるタイミングを調整して、上記複数の相関処理器出力をそれぞれ異なるタイミングで出力するタイミング調整手段と、

上記異なるタイミングで出力される相関処理器出力群を順次選択出力するゲート回路と、

10 上記ゲート回路から順次出力される相関処理器出力のウォルッシュ関数を解き相関値強度として出力する高速変換器とで構成されるサーチ処理手段、及び、

判定結果が与えられるまでの間上記サーチ処理手段出力を遅延させる遅延回路と、

サーチャーレシーバ外部からの判定帰還信号により上記遅延回路出力の中から特定のウォルッシュ関数の相関値強度を選択するセレクトと、

上記セレクトで選択された相関値強度を巡回加算する巡回加算部と、

を有するサーチャーレシーバを備えたことを特徴とするウォルッシュ関数等の直交符号を用いたスペクトル拡散信号の受信機。

【請求項 3】 送信シンボルを判定して判定帰還信号を生成する送信シンボル判定手段、及び、

同期検波された複素受信信号と、所定の正位相差及び負位相差の拡散符号とを乗積し加算する複数のタイミング用相関処理器と、

上記複数のタイミング用相関処理器出力のウォルッシュ関数を解き相関値強度として出力するタイミング用高速変換器と、

以下のいずれかの要素

(1) 上記タイミング用高速変換器の出力を所要時間遅延させ上記判定帰還信号で選択する遅延・選択回路と、上記遅延・選択回路で選択された相関値強度により、上記タイミング用相関処理器への入力の受信信号に対する拡散符号の供給タイミングを制御するタイミング制御信号を得るローパスフィルタ、

(2) 上記タイミング用高速変換器出力の中から上記判定帰還信号により特定のウォルッシュ関数に対応した相関値強度を選択するゲート回路と、上記ゲート回路で選択された相関値強度を所定の時間遅延して選択する遅延・選択回路と、上記遅延・選択回路で選択された相関値強度により上記タイミング用相関処理器への入力の受信信号に対する拡散符号の供給タイミングを制御するタイミング制御信号を得るローパスフィルタ、

で構成されるデジタルレシーバ、  
を備えたことを特徴とするウォルッシュ関数等の直交符号を用いたスペクトル拡散信号の受信機。

【請求項 4】 送信シンボルを判定して判定帰還信号を生成する送信シンボル判定手段、及び、

同期検波された複素受信信号と、所定の拡散符号とを乗積し加算する相関処理器と、

上記相関処理器出力のウォルッシュ関数を解き相関値強度として出力する高速変換器と、

同期検波された複素受信信号と、所定の正位相差及び負位相差の拡散符号とを乗積し加算する複数のタイミング用相関処理器と、

上記複数のタイミング用相関処理器出力を適当な時間遅延させる遅延回路と、

上記送信シンボル判定手段出力の判定帰還信号より特定のウォルッシュ関数を生成するウォルッシュ関数発生器と、

上記複数のタイミング用相関処理器出力と上記ウォルッシュ関数発生器から与えられるウォルッシュ関数との相

関をとる複数の相関手段と、

で構成され、上記複数の相関手段出力を用いて上記拡散符号の供給タイミングを制御するようにしたデジタルレシーバ、

を備えたことを特徴とするウォルッシュ関数等の直交符号を用いたスペクトル拡散信号の受信機。

【請求項 5】 複素入力信号と拡散符号との相関をとり更に相関信号の送信候補シンボルを解くサーチャーレシーバ、及び、

10 複素入力信号と所定の正位相差及び負位相差の拡散符号との相関をとり更に特定の送信候補シンボルを選び、上記選ばれた送信候補シンボルによりタイミングを設定するデジタルレシーバ相当に含まれるタイミング設定手段及び、

上記サーチャーレシーバ出力で定まるデータ復調タイミングでの相関値強度と、上記タイミング設定手段出力の選択後の送信候補シンボルの相関値強度とを乗算する乗算回路と、

上記乗算回路出力を合成タイミング毎に加算した値の送信候補シンボルの相関値の中から最大値を判定し、該最大値と判定された特定の送信候補シンボルを上記タイミング設定手段及びサーチャーレシーバへの判定帰還信号をも出力する最大値判定回路と、

20 で構成されるウォルッシュシンボル番号選択手段、とを備えたことを特徴とするウォルッシュ関数等の直交符号を用いたスペクトル拡散信号の受信機。

【請求項 6】 複素受信信号と拡散符号を乗積し定められた組合せで加算して直交 2 成分の出力を得る複数の相関処理器と、

30 上記複数の相関処理器の入力側または出力側に設けて上記相関処理器の入力タイミングまたは出力タイミングを調整するか、または上記複数の相関処理器に入力される P N 符号のタイミングを調整するタイミング調整手段と、

上記タイミング調整された複数の相関処理器出力を順次選択して出力するゲート回路と、

上記ゲート回路から順次出力される相関処理器の直交 2 成分それぞれについてウォルッシュ関数を解く複数の高速変換器と、

40 上記複数の高速変換器出力から相関値強度を求める相関値強度計算手段とで構成されるサーチ処理手段、  
を有するサーチャーレシーバを備えたことを特徴とするウォルッシュ関数等の直交符号を用いたスペクトル拡散信号の受信機。

【請求項 7】 送信シンボルを判定して判定帰還信号を生成する送信シンボル判定手段を備え、

サーチ処理手段は、上記生成された判定帰還信号により、送信候補シンボルの相関値強度の中から特定のウォルッシュ関数の相関値強度を選択するセレクトとで構成される判定帰還型サーチ処理手段としたサーチャー

ばを備えたことを特徴とする請求項 6 記載のスペクトル拡散信号の受信機。

【請求項 8】 送信シンボルを判定して判定帰還信号を生成する送信シンボル判定手段、及び、  
複素受信信号と所定の拡散符号を乗積し定められた組合せで加算して直交 2 成分の出力を得る相関処理器と、  
上記相関処理器出力から直交 2 成分のウォルッシュ関数との相関を解く高速変換器と、

上記高速変換器出力の相関値強度を計算する相関値強度計算回路と、

複素受信信号と所定の拡散符号を乗積し定められた組合せで加算して直交 2 成分の出力を得る複数のタイミング用相関処理器と、

上記複数のタイミング用相関処理器出力を遅延させる遅延手段と、

上記遅延手段からの出力、または必要に応じて時分割用ゲート回路を経由した出力と、ウォルッシュ関数との相関を解くタイミング用高速変換器と、

上記タイミング用高速変換器で解かれた相関のうち上記判定帰還信号で選択されたウォルッシュ関数の相関値強度を計算する相関値強度計算回路と、

上記計算された相関値強度の出力差を平均化して上記拡散符号の供給タイミングを制御するループフィルタ、とて構成されるデジタルレシーバ、

を備えたことを特徴とするウォルッシュ関数等の直交符号を用いたスペクトル拡散信号の受信機。

【請求項 9】 送信シンボルを判定して判定帰還信号を生成する送信シンボル判定手段、及び、  
同期検波された複素受信信号と、所定の拡散符号とを乗積し加算する相関処理器と、

上記相関処理器出力のウォルッシュ関数を解き相関値強度として出力する高速変換器と、

複素受信信号と所定の拡散符号を乗積し定められた組合せで加算して直交 2 成分の出力を得る複数のタイミング用相関処理器と、

上記複数のタイミング用相関処理器出力を遅延させる遅延手段と、

上記判定帰還信号により特定のウォルッシュ関数を生成するウォルッシュ関数発生手段と、

上記複数の遅延手段出力と上記ウォルッシュ関数発生手段により与えられるウォルッシュ関数との相関を直交 2 成分について得る複数の相関手段と、

上記複数の相関手段出力から相関強度をそれぞれ計算する複数の相関値強度計算手段と、で構成され、

上記相関値強度計算手段出力を用いて上記拡散符号の供給タイミングを制御するようにしたデジタルレシーバ、

を備えたことを特徴とするウォルッシュ関数等の直交符号を用いたスペクトル拡散信号の受信機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、符号分割多元接続方式による移動体通信システムの受信機に関するものである。

【0002】

【従来の技術】近年の電子通信技術の進歩に伴い、自動車電話、携帯電話等の移動体通信が広く普及してきている。そして、この移動体通信の分野においても、デジタル通信が検討され、各種通信方式が検討されている。このような方式の 1 つに CDMA (符号分割多元接続) 方式があり、時間と周波数の共有が可能であること、秘話性に優れていること、周波数選択性フェージングに対する耐性が強いこと等から特に注目を集めている。

【0003】この CDMA 方式 (特に、直接拡散スペクトル拡散: DS/SS を用いる CDMA 方式) では、通常の無線通信を行う変復調器の他に、PN 符号等を用いて、スペクトル拡散を行う、スペクトル拡散手段、ならびに、スペクトル拡散した信号を元の帯域にもどす逆拡散を行うための逆拡散手段が必要である。

【0004】さらに、例えば、移動機からセルサイト (基地局) へのデータ通信には、PN 符号等の拡散符号の他に、複数の送信データに対応した例えばウォルッシュ関数等の直交信号系を送信することにより効率的な情報伝送を行う場合がある。そのような場合、セルサイトにおいてはデータの復調に際し、PN 符号の逆拡散の他に全送信候補シンボルに対応するウォルッシュ関数についてそれぞれ相関値を求め、その中から最大の相関値を与えるウォルッシュ関数を判定することにより送信データを復調するような操作が必要となる。

【0005】図 21 は例えば米国特許 US 5 103 459 に示された、前述したスペクトル拡散信号の送受信機の従来の構成例を示したものであり、図 22 は同じく米国特許 US 5 103 459 に示された図 21 のアナログレシーバ、デジタルデータレシーバのより詳細な構成例を示したものである。以下、従来システムの受信機について、図を用いて説明する。

【0006】図 21 はセルサイト機器の実施例のブロック図を示している。セルサイトにおいては、それぞれ分離したアンテナとアナログレシーバを有する 2 つのレシーバシステムがスペースダイバーシチ受信のために使用される。各々のレシーバシステムにおいて信号はダイバーシチ合成プロセスに到達するまでの間は独立に処理される。破線で囲まれたエレメントはセルサイトと 1 つの移動機ユニット間の通信に対応するエレメントに対応している。アナログレシーバの出力は、他の移動機ユニットとの通信を行うための他のエレメントにも供給される。図 21 において、第 1 のレシーバシステムはアンテナ 60、アナログレシーバ 64、サーチャールシーバ 68、デジタルデータレシーバ 69 から構成されている。第 1 のレシーバシステムはオプションのディジタ

## 7

ルデータレシーバ 7 0 も有している。第 2 のレシーバシステムは、アンテナ 6 1、アナログレシーバ 6 5、サーチャレシーバ 7 1、ディジタルデータレシーバ 7 2 から構成されている。

【0007】セルサイトはまた、セルサイトコントロールプロセッサ 7 4 も有している。コントロールプロセッサ 7 4 はデータレシーバ 6 9、7 0、7 2 をサーチャレシーバ 6 8、7 1 とともに結合している。コントロールプロセッサ 7 4 は、信号処理、タイミング信号生成、ハンドオフのコントロール、ダイバーシチ、システムコントロールプロセッサとのインターフェース、ウォルッシュ系列の割当等の機能を有する。

【0008】2 つのレシーバシステムはデータレシーバ 6 9、7 0、7 2 と接続され、ダイバーシチコンバイナ & デコーダ回路 7 3 に入力される。ディジタルリンク 7 5 もコントロールプロセッサ 7 4、セルサイト送信変調器 7 7、MTSO デジタルスイッチと接続されている。ディジタルリンク 7 5 は、変調器 7 7 と回路 7 3 によって、コントロールプロセッサ 7 4 の制御のもとに、MTSO との間の通信に利用される。

【0009】移動機ユニット送信信号は直接拡散のスペクトル拡散信号で、例えば 1. 2 2 8 8 MHz 等の、予め定められたクロック速度で、PN 系列を送信シンボルに乘積することにより、拡散変調される。このクロック速度はベースバンドデータ速度の整数倍となるように定められている。

【0010】アンテナ 6 0 で受信された信号はアナログレシーバ 6 4 に供給される。アナログレシーバの詳細は図 2 2 に示されている。

【0011】アンテナ 6 0 で受信された信号はダウンコンバーター 5 4 1 に供給される。ダウンコンバーター 5 4 1 は RF 増幅器 5 4 2 とミキサ 5 4 3 から構成されている。受信された信号は RF 増幅器への入力として供給され、ここで、受信信号は増幅された後、ミキサ 5 4 3 への入力となる。ミキサ 5 4 3 には、周波数シンセサイザ 5 4 4 の出力も入力として供給される。増幅された RF 信号はミキサ 5 4 3 において、周波数シンセサイザ 5 4 4 の出力信号と混合されることにより、IF 周波数に変換される。

【0012】ミキサ出力である IF 信号はバンドパスフィルタ (BPF) 5 4 5 への入力となる。バンドパスフィルタ 5 4 5 は、例えば SAW フィルタ等によって構成され、1. 2 5 MHz の通過帯域を有する。バンドパスフィルタ 5 4 5 によって帯域制限された信号は IF 増幅器 5 4 6 への入力となり、ここで増幅される。増幅された IF 信号はアナログディジタル (A/D) 変換器 5 4 7 への入力となり、9. 8 3 0 4 MHz、即ち、チップクロックの 8 倍のクロックレートでディジタル信号に変換される。A/D 変換器 5 4 7 はアナログレシーバ 6 4 の一部として示されているが、データレシーバ、サ

## 8

ーチャレシーバの一部と考えることもできる。A/D 変換器出力のディジタル化された IF 信号はデータレシーバ 6 9、オプションレシーバ 7 0、サーチャレシーバ 6 8 へ供給される。以下にアナログレシーバ 6 4 からの出力と I (同相軸)、Q (直交軸) チャネル信号について述べる。図 2 2 では A/D 変換器 5 4 7 は単一のデバイスとして示されているが、チャネル分割が A/D 変換に先だってなされ、2 つの分離した A/D 変換器によってディジタル化された I、Q チャネルの IF 信号を供給するものと考え、以後は 2 つの I、Q チャネル信号について取り扱うものとする。RF-IF ベースバンドへの周波数変換 (ダウン変換) ならびに I、Q チャネル信号の A/D 変換は当業者には良く知られている技術である。

【0013】サーチャレシーバ 6 8 はセルサイトにおいて、付加ディジタルデータレシーバ 6 9 ならびに使用されるときは、ディジタルデータレシーバ 7 0 が最強の時間領域の信号をトラッキング (追尾) し処理を行うことができるように、受信信号に対する時間領域をスキャンする。サーチャレシーバ 6 8 が与えるスキャン結果によりセルサイトコントロールプロセッサ 7 4 は、ディジタルレシーバ 6 9、7 0 に好ましい受信信号を選択して処理するようコントロール信号を与える。

【0014】セルサイトデータレシーバとサーチャレシーバにおけるこの処理は、移動機ユニットにおける同様なエレメントによってなされる信号処理とはいくつかの相違点がある。インバウンド、即ち、リバース (移動機-セルサイト) リンクにおいては、移動機ユニットはパイロット信号を送信しないため、セルサイトにおいて同期検波の参照信号を利用することができない。リバースリンクでは 6 4 進直交信号を用いた非同期の変復調構成が用いられる。

【0015】6 4 進直交信号過程において、移動機ユニットの送信シンボルは  $2^6$  のうちの 1 つ、即ち 6 4 の互いに異なる 2 進系列に符号化される。即ち、長さ 6 4 の 2 進系列 (各系列をチップと呼ぶことにする) で 1 つの送信シンボルが構成され、互いに直交するシンボルの数が全部で 6 4 個ある (各シンボルは 6 ビットの情報で決定されるので、6 ビット情報の 1 0 進数表現をシンボル番号と呼ぶことにする)。選定された 2 進系列の集合はウォルッシュ関数として知られている。このウォルッシュ関数 M 進信号符号を解くのに最適な受信機構成として高速アダマール変換 (FHT) がよく用いられる。

【0016】更に、図 2 1 に基づいて説明する。サーチャレシーバ 6 8 とディジタルデータレシーバ 6 9、7 0 にはアナログレシーバ 6 4 の出力信号が入力される。通信を行っている移動機ユニットを介して特定のセルサイトレシーバに送信されたスペクトル拡散信号をデコードするためには、適当な PN 系列を生成し、これを供給しなければならない。

【0017】移動機ユニット信号の生成についての詳細を以下に説明する。図22に示されるように、デジタルデータレシーバ69は、系列長の等しい異なる2つのショートコードPN系列を発生するPN発生器308、312を含んでいる。これらの2つのPN系列は、変調構成の外部コードとして、全てのセルサイト受信機と全ての移動機ユニットで共通である。PN発生器308、312は、出力系列としてそれぞれ $PN_I$ 、 $PN_Q$ 系列を供給する。 $PN_I$ 、 $PN_Q$ 系列は、それぞれ、I、QチャンネルPN系列として参照される。

【0018】2つのPN系列 $PN_I$ 、 $PN_Q$ は異なる15次の多項式によって生成され、通常の系列長32767ではなく、系列長32768の系列を生成する。このため、例えば、15次の最長線形系列(M系列)1周期中に1度14連続のゼロが生じるという規則があるが、この14の連続したゼロの後に1つゼロを付加することにより、系列長32768の系列が得られる。言い換えれば、PN発生器の1つの状態が系列の生成時に繰り返される。このように、修正された系列は15連続の1と15連続の0を1つずつ含む。

【0019】一実施例のデジタルデータレシーバ69は、リバースリンクで移動機ユニットによって生成されるもう1つのPN系列に対応する $PN_U$ 系列を発生するロングコード発生器310も含んでいる。PN発生器310は、各ユーザーを識別するためのユーザーID等の付加的な要素に従って時間シフトされた、次数42の大変長い系列を生成し、例えば、最大長線形系列発生器によって実現される。このように、セルサイトはロングコード $PN_U$ 系列とショートコード $PN_I$ 、 $PN_Q$ の両方で拡散変調されている。他の方法としては、ユーザーを特徴づける鍵を用いて64シンボル表現を暗号化するために、データ暗号標準を用いた暗号器のような非線形暗号発生器をPN発生器310の代わりに使用しても良い。

【0020】PN発生器310出力の $PN_U$ 系列は、排他的論理和ゲート314、316で、 $PN_I$ 、 $PN_Q$ の系列とそれぞれ排他的論理和がとられ、系列 $PN_I'$ 、 $PN_Q'$ を出力する。

【0021】QPSK相関器650には、この系列 $PN_I'$ 、 $PN_Q'$ と、アナログレシーバ64からの出力であるI、Q両チャンネル信号とが入力される。相関のとられたI、Qチャンネル相関器550出力はそれぞれアキュムレータ1067、1068に供給され、データは4チップ長に渡ってアキュムレートされる(即ち、送信シンボルは256チップのPN符号で拡散変調されている)。アキュムレータ1067、1068の出力は高速アダマール変換(FHT)プロセッサ342(344)に供給される。FHTプロセッサ342は6ビットのデータに対応する64のウォルッシュ関数についての相関値を生成する。64の相関値はコントロールプロセッサ

74で生成される重み関数と乗算される。重み関数は復調信号の強さと関連づけられている。FHT342出力の重み付けされたデータは更に処理を行うために、ダイバースチコンバイナ&デコーダ回路73(図21)へ供給される。

【0022】第2のレシーバシステムは受信信号に対して、前記した図21、図22の第1の受信システムと同様な信号処理を行う。デジタルデータレシーバ69、72からの重み付けされた64の相関値は、ダイバースチコンバイナ&デコーダ回路73に供給される。回路73はデジタルデータレシーバ69からとデジタルデータレシーバ72からの重み付けされた64の相関値を同一シンボル毎に加算する加算器を含んでいる。加算結果の64の相関値は、最大の相関値を決定するために互いに比較される。比較結果の大きさは、最大値を与えるシンボル番号と共に、回路73内に搭載されているビタビアルゴリズムデコーダ内で使用されるデコーダの重みと送信データを決定するために使用される。

【0023】回路73に含まれるビタビデコーダは拘束長 $K=9$ 、符号レート $r=1/3$ で移動機ユニットで符号化されたデータをデコードする能力を持っている。ビタビデコーダは最も確からしいビット系列を決定するために使用される。通常1.25 msec毎に周期的に信号品質推定が得られ、移動機ユニット電力調整コマンドとしてと移動機ユニットへのデータとともに送信される。この品質推定の生成に関する詳細な情報は、米国特許US5056109中に述べられている。この品質推定は、1.25 msecに渡る平均SN比である。

【0024】一般に、データの受信タイミングは不明であり、複数のタイミングでFHTを動作させ、タイミングを推定し、タイミング追尾する必要がある。サーチャレシーバは初期のタイミング推定(捕捉)を行うためのレシーバである。捕捉は、通信に先だって行われる場合と、通信中においても、周波数選択性フェージング等の回線状態の大きな変化により、受信到来波のレベル関係が逆転した時、よりレベルの高い受信到来波を復調するために行われる場合と2通りある。後者の場合は、常に異なるタイミングで受信波のレベルを常にモニタ(スキャン)する必要がある。一方、タイミング制御(追尾)は、捕捉後、回線状態の比較的小さな変動にともなうデータタイミングに追尾するために、デジタルデータレシーバ単位で行う必要がある。

【0025】なお、図中には示されていないが、米国特許US5103459によれば、各々のデジタルデータレシーバは、それぞれが受信する受信信号のタイミングを追尾する。これは、僅かに早いタイミングの参照PNとの相関と、僅かに遅いタイミングの参照PNとの相関をとるよく知られた技法によって達成される。タイミング誤差が0の時、これらの2つの相関値の差は平均的に0になる。逆に、タイミング誤差があるならば、2つ

の相関値の差の大きさと極性で誤差が示されることになり、デジタルデータレシーバのタイミングが、それに応じて調整される。

【0026】従来のスペクトル拡散信号の通信装置は、送信データに対応した送信シンボル番号を全送信候補シンボル（ウォルッシュ関数）のなかから判定しなければならず、そのためにウォルッシュ関数との相関をとる手段としてFHTが使用されている。しかしながら、米国特許US 5 1 0 3 4 5 9では送信シンボルはPN系列と同一のタイミングで信号に乘積されている。また、ウォルッシュ関数1チップに対し、PN符号4チップが対応しているため、1送信シンボルに対しPN符号256チップが対応する。つまり、同一のウォルッシュ関数が繰り返し伝送されたとしても、128（ $= 32768 / 256$ ）通りのPN符号が順次使用されることになる。このため、FHTの単純な使用では1つのデータタイミングにおけるウォルッシュ関数の相関値しか得られない。そこで、サーチャーレシーバを構成するために、タイミングをずらせて動作する複数のFHTが必要となり、回路規模が大きくなってしまふ。更に、タイミングの捕捉に時間がかかりすぎたり、あるいは、サーチャーレシーバでのモニタ機能が通信回線状態の変動に対応できないと、現在のデジタルデータレシーバが受信している到来波がフェージング等で消失した場合、別の受信可能な到来波があったとしても、スペクトル拡散信号を受信できなくなることがあった。

#### 【0027】

【発明が解決しようとする課題】従来のスペクトル拡散信号の受信機は以上のように構成されているので、回路規模が大きくなるという課題がある。更に、複数のFHTにより得た相関値のうち、意味のある相関値は、送信シンボルに対応するものだけであり、他の相関値は送信シンボルが直交関数の場合は雑音となる。雑音の影響を取り除くために巡回加算等の平均化処理が必要で、十分に雑音の影響を取り除くためには多大な処理時間が必要となるという課題もあった。一方、処理時間を短縮すると、十分な雑音除去ができなかった。即ち、雑音の影響で捕捉タイミングの誤差が大きくなったり、良好なデータ復調が行えないような捕捉タイミングが与えられる可能性が高いという課題があった。

【0028】また、デジタルデータレシーバで行うタイミング追尾においても、意味のある相関値は、送信シンボルに対応する相関値だけが必要であり、他の相関値は雑音となる。雑音の影響を取り除くために同様に平均化処理が行われ、雑音の影響を取り除くために多大な処理時間を必要とした。即ち、通信回線状態の変動にともなうタイミング変動に追尾することが困難となり、タイミングが全くずれてしまい、データ復調ができなくなる場合があるという課題があった。あるいは、処理時間を短縮すると、十分な雑音除去ができず、タイミング誤差

が大きくなりデータ復調特性が劣化するという課題があった。

【0029】更に、マルチパスフェージングに対処するために、ダイバーシチ受信を行っているが、信号タイミングの捕捉、追尾特性が悪いと十分なダイバーシチ効果が得られず、良好な受信特性が得られないという課題があった。

【0030】この発明は上記のような課題を解消するためになされたもので、サーチャーレシーバにおける捕捉特性、タイミング追尾特性、データ受信特性の改善されたスペクトル拡散信号の受信機を得ることを目的とする。

#### 【0031】

【課題を解決するための手段】この発明に係るスペクトル拡散信号の受信機は、同期検波された複素受信信号と拡散符号とを乗積し加算する複数の相関処理器と、これら複数の相関処理器の入力側または出力側に設けて複数の相関処理器の入力を与えるタイミングまたは上記複数の相関処理器の出力を次段に与えるタイミングを調整して、複数の相関処理器出力をそれぞれ異なるタイミングで出力するタイミング調整手段と、異なるタイミングで出力される相関処理器出力群を順次選択出力するゲート回路と、これらゲート回路から順次出力される相関処理器出力のウォルッシュ関数を解き相関値強度として出力する高速変換器とで構成されるサーチ処理手段、を有するサーチャーレシーバを備えた。また請求項2の発明は、請求項1のサーチ処理手段と、判定結果が与えられるまでの間このサーチ処理手段出力を遅延させる遅延回路と、サーチャーレシーバ外部からの判定帰還信号により上記遅延回路出力の中から特定のウォルッシュ関数の相関値強度を選択するセレクトと、このセレクトで選択された相関値強度を巡回加算する巡回加算部と、を有するサーチャーレシーバを備えた。

【0032】また請求項3の発明は、送信シンボルを判定して判定帰還信号を生成する送信シンボル判定手段、及び、同期検波された複素受信信号と、所定の正位相差及び負位相差の拡散符号とを乗積し加算する複数のタイミング用相関処理器と、複数のタイミング用相関処理器出力のウォルッシュ関数を解き相関値強度として出力するタイミング用高速変換器と、以下のいずれかの要素

(1) タイミング用高速変換器の出力を所要時間遅延させ判定帰還信号で選択する遅延・選択回路と、遅延・選択回路で選択された相関値強度により、タイミング用相関処理器への入力の受信信号に対する拡散符号の供給タイミングを制御するタイミング制御信号を得るローパスフィルタ、

(2) タイミング用高速変換器出力の中から判定帰還信号により特定のウォルッシュ関数に対応した相関値強度を選択するゲート回路と、ゲート回路で選択された相関値強度を所定の時間遅延して選択する遅延・選択回路

と、遅延・選択回路で選択された相関値強度によりタイミング用相関処理器への入力の受信信号に対する拡散符号の供給タイミングを制御するタイミング制御信号を得るローパスフィルタ、で構成されるデジタルレシーバ、を備えた。また請求項4の発明は、送信シンボルを判定して判定帰還信号を生成する送信シンボル判定手段、及び、同期検波された複素受信信号と所定の拡散符号とを乗積し加算する相関処理器と、この相関処理器出力のウォルッシュ関数を解き相関値強度として出力する高速変換器と、同期検波された複素受信信号と所定の正位相差及び負位相差の拡散符号とを乗積し加算する複数のタイミング用相関処理器と、これら複数のタイミング用相関処理器出力を適当な時間遅延させる遅延回路と、送信シンボル判定手段出力の判定帰還信号より特定のウォルッシュ関数を生成するウォルッシュ関数発生器と、複数のタイミング用相関処理器出力とウォルッシュ関数発生器から与えられるウォルッシュ関数との相関をとる複数の相関手段と、で構成され、複数の相関手段出力を用いて拡散符号の供給タイミングを制御するようにしたデジタルレシーバ、を備えた。

【0033】更に請求項5の発明は、複素入力信号と拡散符号との相関をとり更に相関信号の送信候補シンボルを解くサーチャーレシーバ、及び、複素入力信号と所定の正位相差及び負位相差の拡散符号との相関をとり更に特定の送信候補シンボルを選び、選ばれた送信候補シンボルによりタイミングを設定するデジタルレシーバ相当に含まれるタイミング設定手段及び、サーチャーレシーバ出力で定まるデータ復調タイミングでの相関値強度と、タイミング設定手段出力の選択後の送信候補シンボルの相関値強度とを乗算する乗算回路と、この乗算回路出力を合成タイミング毎に加算した値の送信候補シンボルの相関値の中から最大値を判定し、この最大値と判定された特定の送信候補シンボルを上記タイミング設定手段及びサーチャーレシーバへの判定帰還信号をも出力する最大値判定回路と、で構成されるウォルッシュシンボル番号選択手段、とを備えた。

【0034】また請求項6の発明は、複素受信信号と拡散符号を乗積し定められた組合せで加算して直交2成分の出力を得る複数の相関処理器と、これら複数の相関処理器の入力側または出力側に設けて相関処理器の入力タイミングまたは出力タイミングを調整するか、または複数の相関処理器に入力されるPN符号のタイミングを調整するタイミング調整手段と、このタイミング調整された複数の相関処理器出力を順次選択して出力するゲート回路と、このゲート回路から順次出力される相関処理器の直交2成分それぞれについてウォルッシュ関数を解く複数の高速変換器と、これら複数の高速変換器出力から相関値強度を求める相関値強度計算手段とで構成されるサーチ処理手段、を有するサーチャーレシーバを備えた。また請求項7の発明は、請求項6の発明に、送信シンボ

ルを判定して判定帰還信号を生成する送信シンボル判定手段を備えて、サーチ処理手段は、生成された判定帰還信号により送信候補シンボルの相関値強度の中から特定のウォルッシュ関数の相関値強度を選択するセレクトとで構成される判定帰還型サーチ処理手段とした。

【0035】また請求項8の発明は、送信シンボルを判定して判定帰還信号を生成する送信シンボル判定手段、及び、複素受信信号と所定の拡散符号を乗積し定められた組合せで加算して直交2成分の出力を得る相関処理器と、この相関処理器出力から直交2成分のウォルッシュ関数との相関を解く高速変換器と、この高速変換器出力の相関値強度を計算する相関値強度計算回路と、複素受信信号と所定の拡散符号を乗積し定められた組合せで加算して直交2成分の出力を得る複数のタイミング用相関処理器と、これら複数のタイミング用相関処理器出力を遅延させる遅延手段と、これら遅延手段からの出力、または必要に応じて時分割用ゲート回路を経由した出力と、ウォルッシュ関数との相関を解くタイミング用高速変換器と、これらタイミング用高速変換器で解かれた相関のうち判定帰還信号で選択されたウォルッシュ関数の相関値強度を計算する相関値強度計算回路と、この計算された相関値強度の出力差を平均化して拡散符号の供給タイミングを制御するループフィルタ、とで構成されるデジタルレシーバ、を備えた。また請求項9の発明は、送信シンボルを判定して判定帰還信号を生成する送信シンボル判定手段、及び、同期検波された複素受信信号と所定の拡散符号とを乗積し加算する相関処理器と、相関処理器出力のウォルッシュ関数を解き相関値強度として出力する高速変換器と、複素受信信号と所定の拡散符号を乗積し定められた組合せで加算して直交2成分の出力を得る複数のタイミング用相関処理器と、これら複数のタイミング用相関処理器出力を遅延させる遅延手段と、判定帰還信号により特定のウォルッシュ関数を生成するウォルッシュ関数発生手段と、複数の遅延手段出力とウォルッシュ関数発生手段により与えられるウォルッシュ関数との相関を直交2成分について得る複数の相関手段と、これら複数の相関手段出力から相関強度をそれぞれ計算する複数の相関値強度計算手段と、で構成され、これら相関値強度計算手段出力を用いて拡散符号の供給タイミングを制御するようにしたデジタルレシーバ、を備えた。

【0036】

【作用】本発明のスペクトル拡散信号の受信機においては、請求項1のものについては、同期検波方式のサーチャーレシーバで、相関器からの出力信号のタイミングがずれて、変換器に入り、FHT等のウォルッシュ関数を解く変換器が時分割で使用される。また請求項2のものは、同期検波方式のサーチャーレシーバで、更に特定のウォルッシュ関数のデータが選ばれる。これにより、不要なウォルッシュ関数の計算が排除される。また請求項



3及び請求項4のものは、同期検波方式のデジタルデータレシーバで、そのタイミング設定手段において、別の復調データから得られる特定のウオルッシュ関数の相関値が選択され、タイミング追尾をする。これにより、不要なウオルッシュ関数の計算が排除され、確実なタイミング設定ができる。

【0037】また請求項5のものは、サーチャーレシーバより与えられるデータ復調タイミングでの相関強度と、デジタルデータレシーバのタイミング変換出力の送信候補シンボルの相関強度とが乗算され、そのタイミング加算値の最大値で特定候補シンボルが決まり、更にこの特定候補シンボルが各ダイバーシチのサーチレシーバ、デジタルデータレシーバにフィードバックして与えられる。これにより、誤った相関値が選択される確率が減る。

【0038】請求項6のものは、サーチャーレシーバにおいて、相関処理器からの出力信号のタイミングがずれて、変換器に入り、候補シンボルを解く変換器が時分割で使用される。また請求項7のものは、サーチャーレシーバで、更に別の送信シンボル判定手段が特定後の送信シンボルの相関値を選択し、これが出力される。これにより、不要な送信シンボルについての計算が排除される。また請求項8及び請求項9のものは、デジタルデータレシーバで、そのタイミング設定手段において、別の復調データから得られる特定の候補シンボルの相関処理値が選択され、タイミング追尾をする。これにより、不要な送信シンボルについての計算が排除され、確実なタイミング設定ができる。

#### 【0039】

##### 【実施例】実施例1.

以下、本発明の実施例について図面に基づいて説明する。図1は、基地局（セルサイト）に設けられた同期検波方式のサーチャーレシーバの全体構成を示すブロック図である。同期検波方式の場合には受信信号の搬送波周波数、位相を再生する搬送波再生回路等を受信機が別に具備している。受信SS信号から互いに直交する局部発振器を用いて検波された直交検波信号 $r_I$ 、 $r_Q$ はサーチ処理回路610に入力され、PN信号およびウオルッシュ関数が解かれる。ここで、この処理は複数の異なるタイミングで行われ、この結果がシリアルにパラレルデータとして出力される。即ち、64のウオルッシュ関数についての処理結果が、パラレルで出力され、観測するタイミングがずれたものが順次出力される。このサーチ処理回路の出力信号は最大値判定部612に入力され、ここで64のサーチ処理回路の出力の中から絶対値が最も大きなものが選択される。

【0040】ここで、この最大値判定部612は絶対値の判定のために、二乗回路絶対値回路などを用いずに、例えば符号ビットを除いた部分で最大値を判定するとよい。即ち、説明を簡単にするために、入力データが4ビ

ットであると仮定し、データとして、 $(0010)=+2$ 、 $(1011)=-3$ 、 $(0001)=+1$ 、 $(1100)-4$ が入力された場合に、極性を示す最上位ビットを除いたデータを $(010)=2$ 、 $(011)=3$ 、 $(001)=1$ 、 $(100)=4$ のように読み取り、最大値4を選択する。そして、この最大値判定部612で選択された出力は、加算器616に入力され、フレームメモリ618の出力が乗算器620を介し、フィードバックされ、この乗算器616、フレームメモリ618、乗算器620により、巡回加算が行われる。ここで、フレームメモリ618は、観測時間に対応した容量を有しており、また乗算器620は加算結果が分散しないように1未満のウェイトを乗算するようになっている。そこで、この構成により、観測時間単位の巡回加算が行われる。

【0041】そして、このようにして、巡回加算により選択された最大値出力が平均化され、雑音が除去されたタイミングについての出力信号が受信機のプロセッサ等へ供給される。

#### 20 【0042】実施例2.

この発明の他の同期検波方式のサーチャーレシーバの実施例として、図2にその全体構成を示す。この例では、図1における最大値判定部612に代え遅延回路622およびセレクタ624を有している。そして、このセレクタ624は外部から入力される判定帰還信号によって、64のウオルッシュ関数に対する処理結果の中から特定のものを選択して出力する。従って、そのときのウオルッシュ関数に対する処理結果の大きさから選択するのではない。また、遅延回路22は所要時間（例えば、判定帰還信号が入力されるまでの時間、または拡散符号の1周期に対応する1データシンボル時間）を稼ぐためのものである。

【0043】次に、サーチ処理回路610の具体的構成について、図3に基づいて説明する。直交検波信号 $r_I$ 、 $r_Q$ はそれぞれシフトレジスタ630、632に入力される。この例では、シフトレジスタ630、632は観測時間4チップ、1チップ/1サンプルに対応して、4チップ分の容量となっており、4つのセクションに分割されている。

40 【0044】なお、観測時間を4チップ以外、1サンプルが1チップ以外でも対応できる。更に、1チップは、1ビットデータ（2値）ではなく、例えば8ビットデータ（256値）で構成すると良い。また、データバスにおける「64」も8ビットあるいはそれ以上のバスが64本あることを意味する。そして、このシフトレジスタ630、632の各セクションからの信号は、それぞれ相関処理器634、636、638、640に入力される。即ち、シフトレジスタ630、632の最も後のデータ（最も新しいデータ）が相関処理器634に入力され、次のデータが相関処理器636、その次のデータが



相関処理器638に入力され、最も先行するデータ（最も古いデータ）が相関処理器640に入力される。

【0045】なお、相関処理器634、636、638、640は受信データにPN符号を乗積して、送信側で乗積されたPN符号を解きウォルッシュ関数のみを出力させることを目的としたものである。通常の相関処理器では乗積後、積分操作を行い相関値を出力するが、この発明における相関処理器634、636、638、640においては乗積後の積分操作は後述するFHTでウォルッシュ関数を解くときに実行される。

【0046】この相関処理器634～640には、それぞれ拡散信号 $PN_I'$ および $PN_Q'$ が入力されており、入力信号と拡散信号との乗積加算処理が実行され

$$Y = W [ 2 ( \cos \theta + \sin \theta ) + 2 PN_Q' PN_I' ( \cos \theta - \sin \theta ) ]$$

後半の $2 PN_Q' PN_I' ( \cos \theta - \sin \theta )$ の部分はランダムで、積分すると平均的にゼロになるので、

$$W 2 ( \cos \theta + \sin \theta ) = W 2^{1/2} \cdot \cos ( \theta - \pi / 4 )$$

従って、 $\theta = \pi / 4$ に設定すれば加算器出力で有意な信号成分を最大にすることができる。

【0047】そして、相関処理器634の出力は3チップ分のシフトレジスタ642を介しシリアルパラレル変換器648に、相関処理器636の出力は2チップ分のシフトレジスタ644を介しシリアルパラレル変換器650に、相関処理器638の出力は1チップ分のシフトレジスタ644を介しシリアルパラレル変換器652に、相関処理器640の出力はそのままシリアルパラレル変換器654に入力される。従って、シリアルパラレル変換器648～654には、同一のタイミングで得られた相関処理器出力が入力され、これがパラレル信号に変換される。即ち、順次入力される64の相関信号が系列長64のWalsh関数を解くためのパラレルデータとしてゲート回路656に順次入力される。

【0048】ゲート回路656は、入力されるゲート(Gate)信号に応じて、シリアルパラレル変換器648～654からの信号を時分割で順次出力する。そして、ゲート信号の出力は順次FHT658に供給され、ここで高速アダマール変換がなされ、ウォルッシュ関数が解かれる。従って、受信データと乗積されるPN符号のタイミングが一致していれば、FHT658の64の出力の内1つだけの出力が大きくなる。即ち、無雑音の時、FHT64の出力は、64のウォルッシュ関数についての相関出力であり、入力データが例えばすべての0のデータであれば、ウォルッシュ0[W0]に関する処理(相関)結果のみが信号振幅に応じた値となり、その他は0が出力値となって現れる。入力信号が他のウォルッシュ関数であれば、対応する関数番号の処理出力のみが信号振幅に応じた値となる。そして、FHT658の4つの入力データに対するものが順次出力される。そし

る。そして、シフトレジスタ630、632の存在により、各相関処理器634～640では、1チップ分ずつずれたタイミングで入力信号と拡散信号の乗積加算処理が実行される。また、これら相関器634～640に供給される拡散符号 $PN_I'$ および $PN_Q'$ は、I信号およびQ信号に対するPN符号 $PN_I$ 、 $PN_Q$ にユーザ毎に割り当てられたユーザPN信号 $PN_U$ が乗算されて形成されたものである。任意のウォルッシュ関数系列をW、送受搬送波間の位相差(既知)を $\theta$ とすれば、PN符号のタイミングが合っている時は、後に詳述するように相関処理器634中の加算器80の出力Yは以下の値となる。

結局以下の値のみが意味を持つ。

て、FHT658の出力が順次サーチ処理回路610から出力することになる。

【0049】従って、受信データと乗積されるPN符号とタイミングが一致した時点でのFHT出力の内、送信データに対応したウォルッシュ関数の相関出力のみが信号振幅に応じた値(最大)となり、他のウォルッシュ関数の相関出力はマルチパス成分がなければ、雑音成分のみとなる。他の時点では、PN符号とウォルッシュ関数の相関特性に応じた相関出力が得られることになるが、相対的に最大値よりも小さな値となる。雑音成分及び遅延波成分及びタイミングずれにともなう相関成分は、場合によってはかなり大きな値となるが、これらはランダムな振舞いをするので、巡回加算を行うことにより、十分小さな値にすることが可能である。もし、図1に図3のサーチ処理回路610が適用された場合には、このサーチ処理回路610からの出力に対し、最大値検出が行われ、巡回加算が行われることにより、逆拡散タイミングに応じた受信信号電力が得られる。

【0050】従って、巡回加算を繰り返すことにより、マルチパスがある場合には、個々のパスの信号到来タイミングに一致するタイミング点(巡回加算におけるフレームメモリに対応する点)で各パスの強さに応じた受信電力値が得られ、信号到来タイミング以外では、十分小さな値となる。従って、フレームメモリの内容を見ることにより、どの信号タイミングでどの程度のレベルの信号が到来しているかの情報が得られ、これをコントロールプロセッサへ出力する。そして、この情報は後述するタイミング再生回路等でフェージング等によりタイミング追尾が不能となった場合などに用いられ、あるいは、後述するダイバーシチ合成回路での複数のデータ復調器から得られた信号を効果的に合成するための情報と

して用いられる。

【0051】以上に示したように図3の実施例においては、各バスの到来時間に応じた受信電力をサーチするために、FHTが本来4つ必要であったものをタイミングを調整することによりFHTを時分割的に使用するようにしたので、ハードウェア規模の縮小化が実現されている。なお、この実施例においては、図3におけるシフトレジスタ630、632は4段、即ち、観測時間（観測ウィンドウサイズ）が4チップ時間分の場合について示したが、シフトレジスタの段数を増大させることにより、容易に観測時間の増大化が可能であり、その場合にはFHTの時分割使用によるハードウェア規模の縮小化の効果は更に増大されることになる。

【0052】図4に、相関処理器634～640の好適な構成例を示す。図4における乗算器660、662、664、666はPN符号を解くための乗算器である。これは、図4に示すように乗算器660、664の出力が加算器668の入力に、乗算器662、666の出力が加算器70の入力となっている。これは、搬送波と局部発振器の位相差が存在するときに、直交検波信号 $r_I$ 、 $r_Q$ がこの位相差により、各直交軸成分間の信号成分を有している影響を効果的に除去するものである。即ち、乗算器662は $r_I$ に漏れ込んだ送信側のQ軸成分を抽出するものであり、乗算器664は $r_Q$ に漏れ込んだ送信側のI軸成分を抽出するものであり、それぞれ乗算結果を加算器668、670で同図に示された極性で加算することにより、前述した効果が得られる。また、位相差の影響が除去され、互いに異なるPN符号が解かれた後は、どちらにも同じ成分が出力されるので、加算器680で加算することにより信号成分を効果的に合成する。即ち、同期検波方式で、送信側と受信側の位相差を絞込み（即ち $\theta = \pi/4$ にする）ことが可能であれば、加算器680の出力は送信側の信号を効果的に再現できる。

【0053】加算器680の出力は、1/4シリアルパラレル変換器682において、4データの平行データに変換され、4つのデータが同時に出力され、これが合計回路684に入力され、4つのデータの合計が計算される。そこで、PN信号の4チップ分のデータが合計回路684で合計され、1つのデータにされる。これは、リバースリンクにおけるウォルッシュ関数がPN4チップに対し、ウォルッシュ関数1チップとなるように乗積されており、FHT658において、ウォルッシュを解く場合には、ウォルッシュ1チップ毎のデータの並びとなっている必要があるからである。

【0054】実施例3。

本発明に係る同期検波方式のデジタルデータレシーバの構成例を図5に示す。データの復調を行う場合には、ウォルッシュ関数の繰返し周期（シンボル周期ともいう、またウォルッシュ関数の1つ1つのデータを1チップ

といい、この周期をチップ周期という）のタイミング並びにこれと同期しているPN符号の発生タイミングを検出しなければならない。このため、タイミング検出回路が必要となる。

【0055】デジタルデータレシーバでは、信号 $r_I$ 、 $r_Q$ を受入れPN信号、ウォルッシュを解くために相関処理器700、シリアルパラレル変換器702、FHT704を有している。そして、相関処理器700において、拡散符号 $PN_I'$ 、 $PN_Q'$ を解くための処理を行う。この相関処理器の構成は、同期検波方式では、図4に示したサーチレシーバの相関処理器と同様の構成となる。そして、PN4チップ毎にまとめられた相関処理器出力がシリアルパラレル変換器702に入力され、64の平行データに変換され、これについてFHT704がアダマール変換を行い、ウォルッシュ関数を解く。ここで、ウォルッシュ関数を解くことは、各ウォルッシュ関数との相関をとることを意味している。ウォルッシュ関数の直交性から、タイミングが一致している時は、送信されたウォルッシュ関数のみが信号振幅に応じた値を有し、その他のウォルッシュ関数との相関結果は0となる。遅延波との相関、雑音等により、全ての相関出力が何等かの値を有することになるが、これらの中から最大の相関値を有するウォルッシュ関数が送信されたと判定し、それに対応するデータが送信情報データ（ここでは6ビット）として同時に復調される。これによって、復調されたデータが得られる。

【0056】一方、信号 $r_I$ 、 $r_Q$ は相関処理器710、712に入力され、ここで、異なるタイミングで供給される拡散符号 $PN_I'$ 、 $\Delta$ 及び $PN_I' - \Delta$ と、 $PN_Q'$ 、 $\Delta$ 及び $PN_Q' - \Delta$ の間での相関処理がそれぞれ行われる。相関処理器に供給される入力信号と拡散符号の同期がとれていれば、拡散符号を正負方向にずらして相関を求めた結果は、いずれも結果として得られる相関信号のエネルギーが小さくなるはずである。そこで、FHT718、720で得られる送信ウォルッシュ関数の相関値のエネルギーを調べることにより、タイミングを検出することができる。

【0057】このために、相関処理器710、712の出力をシリアルパラレル変換器714、716で64の平行データに変換した後、FHT718、720においてウォルッシュ関数を解き、遅延・選択回路722、724に入力する。この遅延・選択回路722、724は、図2における遅延回路620及びセクタ622と同様のものであり、どのウォルッシュが通信に用いられているかを示すセレクト信号をデータ復調を行う際に用いられる最大値検出回路等から貰い、そのウォルッシュ関数の信号を選択して出力する。

【0058】遅延・選択回路722、724からの出力は減算器726に入力され、両信号の差が計算される。このようにして得られた信号は、入力信号と拡散信号の

同期ずれの大きさに対応した信号となっており、ローパスフィルタ728において不要成分が除去されてタイミング制御信号が得られる。

【0059】そして、このタイミング制御信号をPN<sub>I</sub>発生器730、PN<sub>Q</sub>発生器732、PN<sub>U</sub>発生器734に供給し、これら発生器730、732、734から発生される信号のタイミングを調整する。そこで、これら発生器730、732、734から発生される信号PN<sub>I</sub>、PN<sub>Q</sub>、PN<sub>U</sub>は入力信号とタイミングがあったものとなり、各相関処理器等における同期がとれたものとなる。

【0060】また、各発生器730、734の出力は乗算器736で、発生器732、734からの出力は乗算器738でユーザPN符号PN<sub>U</sub>と乗算され、それぞれ拡散信号PN<sub>I</sub>'、PN<sub>Q</sub>'として、シフトレジスタ740、742に供給される。このシフトレジスタ740、742は3つのセクションに分割されており、順次入力信号をシフトすることによって、各セクションから異なるタイミングの拡散信号を出力できる。即ち、先頭のセクションのデータは、中央のセクションのデータよりΔだけ前のものであり、後ろのセクションのデータは、中央のセクションのデータよりΔだけ後ろのデータである。そこで、各セクションよりPN<sub>I</sub>'、PN<sub>Q</sub>'とPN<sub>I</sub>'Δ、PN<sub>I</sub>'-Δと、PN<sub>Q</sub>'Δ、PN<sub>Q</sub>'-Δが得られる。

【0061】なお、遅延・選択回路722、724における選択を1つに限定せず、例えば、最大値検出回路で得られた最大値と次に大きな値に対する2つのウオルッシュ関数番号の出力を選択する方法も考えられる。これは、雑音が混入するため、特性劣化を覚悟しなければならないが、データ復調が常に正しくなされているとは限らないため、もし誤ったウオルッシュ関数番号を選択してしまうと、タイミング追尾系に正しい信号成分が全く入力されなくなる場合があるので、この様なときには有効な方法である。

#### 【0062】実施例4.

本発明の他のデジタルデータレシーバの構成例を図6に示す。この実施例では、FHTを時分割使用することによって、構成の簡略化を図っている。即ち、相関処理器700、710、712からの出力は、それぞれシリアルパラレル変換器702、714、716に入力され、シリアルパラレル変換器702、714、716の出力は、ゲート回路754に供給される。相関器700、710、712の各出力は、シフトレジスタ740、742のタイミングでそれぞれ1シフト分ずれており、これらのタイミングのずれた出力が、順次ゲート回路754に供給される。そこで、ゲート回路754がシリアルパラレル変換器714、702、716からの出力を順次選択することによって、FHT756にこれらを順次供給する。そして、FHT756からの出力をゲ

ート回路758に入力し、ここでゲート回路754に対応して信号を選択することによって、FHT756において得られた信号を順次分離して出力する。こうして、タイミング（符号位相）をシフトした信号を遅延・選択回路722、724に入力し、相関処理器700からの信号に基づくものをデータ復調のためになされる最大値判定器に出力する。

【0063】なお、最大値判定回路は、図5ないし図7には直接示されていないが、例えば、相関処理器700のタイミングに基づくFHT756により得られる64の相関値を入力とし、これに対しての最大値判定を行ってもよく、また、受信特性を向上させるために、ダイバーシチ合成などがなされている場合には、合成後の64の相関値を入力とし、これに対しての最大値判定を行ってもよい。なお、ダイバーシチ合成を行う場合については、後述する図8を用いた実施例における最大値判定器510がこれに相当する。

【0064】ここで、遅延・選択回路722、724に入力される信号は、時間がΔ異っている。そこで、この遅延・選択回路722、724では、これらの同期をとって加算器724に入力する。そこで、ローパスフィルタ728において、上述の実施例と同様のタイミング制御信号を得ることができる。そして、この実施例によれば、FHTが1つでよく、回路が簡略化される。

#### 【0065】実施例5.

本発明の他の同期検波方式のデジタルデータレシーバの構成例を図7に示す。この実施例では、タイミング制御信号の発生部分にFHTを使用しないようにしている。即ち、復調部等における判定結果によりどのウオルッシュ関数が使用されているかを復調データからウオルッシュ関数を特定し、この信号に応じてウオルッシュ関数発生器760により特定されたウオルッシュ関数を発生する。そして、このウオルッシュを3分割のシフトレジスタ762に供給し、時間Δずつずれた3つの信号を得る。

【0066】一方、相関処理器710、712からの出力信号は、遅延回路764、766を介し、乗算器768、770に入力される。この乗算器768、770には、シフトレジスタ762からの最も先(Δ)の信号と、最も後(-Δ)の信号がそれぞれ供給されており、相関器710、712からの信号がここで乗算される。なお、遅延回路764、766は、乗算器768、770において乗算されるウオルッシュ関数とのタイミングを一致させるためのものである。従って、乗算器768、770において、ウオルッシュ関数が信号に同期して乗算されるため、ウオルッシュ関数が解かれる。そして、この乗算結果の信号は、積分放電(I&D)回路772、774に入力され、ウオルッシュ関数の1周期に対応する時間に渡って積分され、その結果が出力されることによつて受信信号とPN符号とウオルッシュ関数と

の相関値が得られる。そこで、これら I & D 回路 7 7 2、7 7 4 からの出力を減算し、ローパスフィルタ 7 2 8 を通過させることによって、上述の実施例と同様のタイミング制御信号を得ることができる。

#### 【0067】実施例 6.

本発明のスペクトル拡散信号の受信機の全体の構成例を図 8 に示す。図 8 中のサーチレシーバは、実施例 1、2 の同期検波方式のサーチレシーバ、または後述の実施例 7 ~ 10 のサーチレシーバを適用した例であり、同じく図 8 中のデジタルデータレシーバは、実施例 3 ~ 5 の同期検波方式のデジタルデータレシーバ、または後述の実施例 11 ~ 13 のデジタルデータレシーバを適用した例である。この実施例では、空間ダイバシティを構成するために、4 系統の受信機を有している。そして、コントロールプロセッサ 16 が全体を制御している。図 18、図 19、図 20 等々に示されるデジタルデータレシーバ 2 a から出力される受信データとウォルッシュ関数との 64 の総合の相関値強度は、図 15 等々に示されるサーチレシーバ 1 a から与えられる受信信号、つまり、現在デジタルデータレシーバが受信している到来波の電力により乗算器 501 で乗算され、その結果がラッチ回路 505 にラッチされる。

【0068】他の系統についても同様で、到来波の受信電力で重み付けされた 64 の相関値強度は各ラッチ回路 505、506、507、508 にラッチされる。コントロールプロセッサは、それぞれのデジタルデータレシーバの処理タイミングをサーチレシーバ、デジタルデータレシーバより知ることができ、全部の系の相関値強度がラッチされると合成タイミング信号をそれぞれのラッチ回路に出力し、加算器 509 でウォルッシュ関数番号ごとに加算する。加算器 509 の出力は最大値判定回路 510 へ入力され、最大値判定回路では、加算された相関値強度の中で最大の相関値を与えるウォルッシュ関数番号を送信シンボルと判定するが、更に従来例とは異って、各サーチレシーバ、各デジタルデータレシーバへも出力する。サーチレシーバ、デジタルデータレシーバでは、帰還されたウォルッシュ関数番号に対応した受信信号との相関値を選択して、それぞれタイミング捕捉、タイミング追尾に関する処理を行う。また、判定されたウォルッシュ関数番号及び、相関値強度はデコーダ 511 に導かれ、ここで、誤り訂正符号の復号が行われる。

#### 【0069】実施例 7.

この発明のサーチレシーバの実施例を図 9 に示す。本実施例では、搬送波の位相同期を必要としない非同期検波を行う場合について説明する。送信データに応じた直交関数として、64 のウォルッシュ関数が送信シンボルとして用いられ、ウォルッシュ関数が 256 チップの PN 符号でスペクトル拡散された（即ちウォルッシュ 1 チップに対して PN 符号 4 チップが乗積されている）信

号を受信する場合を説明する。図 9 はこうしたスペクトル拡散信号の受信機におけるサーチレシーバの構成ブロック図である。図において、アンテナで受信されたスペクトル拡散信号は、アナログレシーバでアナログ処理され、互いに直交する局部発振器を用いて検波され A/D 変換されたベースバンド複素受信信号  $r_I$ 、 $r_Q$  が、まずサーチ処理回路 10 に入力される。

【0070】サーチ処理回路 10 では、互いに異なるタイミングで、受信信号と全送信候補シンボルとの相関値がパラレルデータとして連続的に出力される。即ち、64 のウォルッシュ関数に対する相関値がパラレルデータとして、相関の取られたタイミング順に順次出力される。この動作は観測時間単位で順次繰り返される。このサーチ処理回路出力のパラレルデータは加算回路 12 において加算され、巡回加算器 14 への入力となる。巡回加算器 14 は例えば、加算回路 12 の出力と乗算器 146 の出力を加算する加算器 142 と、観測時間に対応した容量で加算結果を順次格納するフレームメモリ 144 と、フレームメモリ 144 の内容を予め定められた値、または、コントロールプロセッサより与えられる値で重みをつける乗算器 146 から構成される。そして、観測時間単位に巡回加算が行われ、雑音による影響を軽減する。巡回加算時の重みは、加算結果が発散しないように通常 1 未満に定められる。フレームメモリの内容は観測時間内の各々のタイミングにおける平均化された相関値強度である。

【0071】そして、フレームメモリ 144 の内容は、巡回加算器 14 の出力としてコントロールプロセッサ 16 内のタイミング制御部 18 へ出力される。タイミング制御部 18 は、観測時間内で最大の相関値強度が得られるタイミングでデータを復調するように信号強度出力をデジタルデータレシーバに指示する。図 21 に示されるように、オプションのデジタルデータレシーバがある時は、タイミング制御部 18 は、このデジタルデータレシーバに対し、2 番目の相関値強度が得られるタイミングでデータを復調するように指示する。

【0072】図 9 中の、サーチ処理回路 10 の具体的構成を図 10 を用いて説明する。実施例 1、2 でサーチレシーバが同期方式に限定していたのに対し、本実施例では非同期検波を行う場合の例を取り扱う。即ち、ベースバンド複素受信信号  $r_I$ 、 $r_Q$  はそれぞれシフトレジスタ 102、104 へ格納される。この例では、シフトレジスタ 102、104 は、PN 符号 1 チップに対して 1 つの複素受信信号がそれぞれ入力され、観測時間が PN 符号 4 チップ時間の場合に対応して、4 つのセクションに分割されている。

【0073】なお、観測時間を 4 チップ以外、あるいは、PN 符号 1 チップに対して 1 つの複素受信信号が入力される場合以外でも対応できる。さらに、複素受信信号は 1 ビットデータ（2 値）ではなく例えば 8 ビット

(256値)で構成するとよい。これは、当業者では良く知られている軟判定技術で受信特性の向上が図れる。また、図中のデータバスにおける「64」も、8ビットあるいはそれ以上のバスが64本あることを意味する。

【0074】そして、このシフトレジスタ102、104の各セクションからの信号はそれぞれ関連処理器106、108、110、112に入力される。この関連処理器は実施例1、2の関連処理器に対応するものであるが、非同期検波に適した構成になっている。シフトレジスタ102、104の最も後のデータ(最も新しいデータ)が関連処理器106に入力され、次のデータが関連処理器108、その次のデータが関連処理器110に入力され、最も先行するデータ(最も古いデータ)が関連処理器112に入力される。

【0075】なお、関連処理器106、108、110、112は受信データにPN符号を乗積して、送信側で乗積されたPN符号を解き送信シンボル系列を出力することを目的としたもので、関連処理器の詳細な動作については後述する。通常の相関器では乗積後、積分操作を行い相関値を出力するが、この発明における関連処理器106、108、110、112においては乗積後の積分操作はウォルッシュ関数1チップ分のみで、残りは後述するFHTでウォルッシュ関数の相関値を出力する際に実行される。また、ベースバンド複素受信信号には、アナログレシーバで周波数変換を行った際の送受搬送波間の位相差が存在しているが、関連処理器では相関値強度計算回路206で得られる相関値強度が位相差の影響をうけることなく、かつ最大となるように相関処理が行われる。

【0076】関連処理器106の出力は、シフトレジスタ118、120によってタイミング調整された後、シリアルパラレル変換器130、132に入力される。同様に関連処理器108の出力は、シフトレジスタ122、124によりタイミング調整された後、シリアルパラレル変換器134、136に入力される。同様に関連処理器110の出力はシフトレジスタ126、128によりタイミング調整された後、シリアルパラレル変換器138、140に出力される。そして、関連処理器112の出力は直接シリアルパラレル変換器142、144へ入力される。従ってシリアルパラレル変換器130、132、134、136、138、140、142、144には異なるタイミングで相関処理された結果が調整されたタイミングに応じて順次入力されてゆく。シリアルパラレル変換器は、パラレルデータが確定するたびにゲート回路に64のパラレルデータを出力してゆく。つ

$$(\text{振幅相関値} \cdot \cos \phi)^2 + (\text{振幅相関値} \cdot \sin \phi)^2$$

の演算が行われる。その結果は、

$$(\text{振幅相関値})^2 \cdot (\cos^2 \phi + \sin^2 \phi) = \text{相関値電力}$$

となり、相関値電力が得られることとなる。

【0079】サーチレシーバでは送信シンボルの判

まり、パラレル信号が確定し、ゲート回路146、148にへ出力される時間が調整されたタイミングに応じて異なり、この実施例では、関連処理器106、108、110、112で処理された信号順に、即ち、シリアルパラレル変換器130、134、138、142の出力の順にゲート回路146へ出力され、シリアルパラレル変換器132、136、140、144の出力の順にゲート回路148へ出力されて行く。

【0077】ゲート回路146、148にはそれぞれのシリアルパラレル変換器からパラレルデータが確定するタイミングに応じたゲート信号も入力され、このゲート信号に応じてシリアルパラレル変換器からのそれぞれのパラレルデータ出力を全送信候補シンボル(ウォルッシュ関数)に対する相関値を計算する相関値計算回路へ出力する。この実施例では相関値計算回路として、FHT処理器150、152を使用する場合について示している。FHT処理器150、152では、関連処理器で処理された64チップのパラレルデータと、関連処理器で使用された拡散符号に同期したタイミングの64のウォルッシュ関数に対する相関値をそれぞれ計算して出力する。即ち、入力はウォルッシュ関数の系列数に対応する64チップの相関処理されたパラレルデータであり、出力は全送信候補シンボルである、64のウォルッシュ関数に対する相関値である。FHT出力が最大になるのは、受信データと同一のタイミングで相関処理されたパラレルデータが入力された時の、送信シンボル番号に対応する相関値である。タイミングが一致しない場合はPN符号の有する自己相関特性により64全ての相関値とも平均的に低くなり、また、タイミングが一致してもウォルッシュ関数番号が異なると、ウォルッシュ関数の直交性により相関値は0となる。ただし、通信中に重畳された雑音は、信号帯域あるいはPN符号、ウォルッシュ関数との相関に応じて残留する。

【0078】サーチ処理回路10では、ベースバンド複素受信信号が入力され、後に説明する関連処理器とシリアルパラレル変換器130～144が図10のように構成されているので、送受搬送波間の位相差を $\phi$ とすれば、FHT150の出力には受信信号との振幅相関値に $\cos \phi$ が乗じられた値が出力され、FHT152の出力には受信信号との振幅相関値に $\sin \phi$ が乗じられた値が出力される。相関値強度計算回路154は、FHT150、152の出力から全ウォルッシュ関数に対する相関値強度をそれぞれ計算し出力し、これが、サーチ処理回路10の出力となる。相関値強度計算回路154は例えば2乗和計算回路等により構成され、

定は行わないので、64の相関値のうちどの相関値が送信されたシンボルに対応した相関値であるか知り得な

い。そこで、サーチ処理回路 10 出力の全ての相関値を加算する。巡回加算器 14 により、雑音の影響を抑圧することによって、観測時間内に受信波とのタイミングが一致点があれば受信波の電力に応じた相関値を識別することが可能となる。また、受信波中にマルチパスフェージングにより、複数の到来波が存在する場合にも、観測時間内に到来波とのタイミング一致点があるかぎり、それぞれの一致タイミングで、相関値電力が得られ、到来波のタイミングと電力の識別も可能となる。

【0080】次にタイミング図を用いて動作の説明をする。図 11 は、図 10 のサーチ処理回路の動作を説明するタイミング図である。図中 PN は PN 符号を示し、r は受信信号を示し、W はウオルッシュ関数（関数番号は任意）を示し、それぞれの数字はチップ番号を示している。受信信号のタイミングは相関処理器 106 に入力されるタイミングを基準とした仮のタイミングである。また、1'、2' は隣接する送信シンボルの第 1 チップ、第 2 チップを示し、その他の「'」も同様である。同図 (a)、(c)、(e)、(g) はそれぞれ相関処理器 112、110、108、106 に対応した PN 符号と受信信号のタイミング関係を示している。即ち、各相関処理器には同一のタイミングで PN 符号が入力されるが、受信データはシフトレジスタ 102、104 でタイミング調整されたデータが入力されるので、PN 符号と受信データのタイミング関係が (a)、(c)、(e)、(g) の順に 1 チップずつシフトしている。

(b) はシリアルパラレル変換器 142、144 入力 of のタイミング関係を、(d) はシリアルパラレル変換器 138、140 入力 of のタイミング関係を、(f) はシリアルパラレル変換器 134、136 入力 of のタイミング関係を (h) はシリアルパラレル変換器 130、132 入力 of のタイミング関係を示している。(b) はそのまま、

(d)、(f)、(h) はそれぞれ、(c)、(e)、(g) がシフトレジスタ 128 と 126、124 と 122、120 と 118 により調整されるタイミングに応じて時間シフトされる。しかし、相関処理器出力以降のタイミング調整なので、PN 符号と受信データとの相対的なタイミング関係はそれぞれ変化しない。ただし、タイミング調整手段により、(b)、(d)、(f)、

(h) の相対関係がづれるため、シリアルパラレル変換器におけるパラレルデータの確定時間（図中では、確定されるまでの時間を T で表現し、確定する瞬間を下向き矢印で表現している）が 1 チップずつシフトする。従って、パラレルデータの確定時間に応じてゲート回路で FHT への入力制御を行うことにより FHT の時分割使用が可能となる。同図 (1)、(2)、(3)、(4) は FHT で全送信候補シンボルに対する相関を計算する際のタイミング関係を示している。PN 符号とウオルッシュ関数チップを同期的な対応関係で処理することにより、受信データに対する PN とウオルッシュ関数の総合

的な相関値を求めることが可能となる。

【0081】実施例 8.

サーチ処理回路の他の実施例を説明する。図 12 はその構成図で、図 10 のサーチ処理回路 10 とは、タイミング調整手段が異なる。即ち、図 10 では、複素ベースバンド受信信号と、相関処理器出力の双方でシフトレジスタによるタイミング調整を行ったが、図 12 ではシフトレジスタ 156、158 により、相関処理器に入力される PN 符号のタイミングを調整することにより、FHT の時分割使用を行う実施例を与えるものである。

【0082】次にこの動作をタイミング図を用いて説明する。図 13 は図 12 の動作を説明するためのタイミング図である。同図 (a)、(b)、(c)、(d) はそれぞれ相関処理器 112、110、108、106 における受信データと PN 符号のタイミング関係を示している。即ち、同一タイミングの受信データに対し、シフトレジスタ 156、158 により、PN 符号のタイミングをシフトさせて相関処理を行う。しかし、PN 符号を基準に考えれば、シリアルパラレル変換器に入力されるタイミングが既に調整されることになり、パラレルデータが確定する時間も (a)、(b)、(c)、(d) の順に 1 チップずつシフトしている。従って、ゲート信号をこの確定タイミングに対応させることにより FHT の時分割使用が可能となる。同図 (1)、(2)、(3)、(4) は (a)、(b)、(c)、(d) を FHT により相関値を求める際のタイミング関係を示している。

【0083】なお、タイミング調整手段によって得られる受信データと、PN 符号、ウオルッシュ関数チップとのタイミング関係は、図 11 では右にシフト、図 13 では左にシフトしているが、相対関係さえ把握しておけば、サーチャーレーバとしては同一の機能を実現できる。

【0084】次に実施例 7 及び実施例 8 で用いられた相関処理器の詳細を説明する。図 14 は、この発明における相関処理器の詳細な構成を示す図である。任意のウオルッシュ関数系列を  $W'$ 、同相軸、直交軸の PN 符号をそれぞれ  $PN_I'$ 、 $PN_Q'$  とすれば、送信信号の複素信号表現は、 $W' \cdot (PN_I' + j PN_Q')$  となる。送受搬送波間の位相差を  $\phi$  とすれば、アナログレーバで処理された受信信号は送信信号に、

$$\exp(j\phi) = \cos\phi + j\sin\phi$$

が乗積されることになり、 $r_I$ 、 $r_Q$  はそれぞれ、乗積結果の実数成分、虚数成分であるから、

$$r_I = W' \cdot (PN_I' \cos\phi - PN_Q' \sin\phi)$$

$$r_Q = W' \cdot (PN_I' \sin\phi + PN_Q' \cos\phi)$$

となる。タイミングの不一致を示すために受信側の PN 符号を  $PN_I''$ 、 $PN_Q''$  とすれば、同図の構成に従って得られる加算器 1065、1066 の出力は、それぞれ、

$$\frac{2W' \cdot (PN_I' \cdot PN_I'' + PN_Q' \cdot PN_Q'')}{2W' \cdot (PN_I' \cdot PN_I'' + PN_Q' \cdot PN_Q'')} \cos \phi$$

$$\frac{2W' \cdot (PN_I' \cdot PN_I'' + PN_Q' \cdot PN_Q'')}{2W' \cdot (PN_I' \cdot PN_I'' + PN_Q' \cdot PN_Q'')} \sin \phi$$

となる。なお、ここでは $PN_I' \cdot PN_Q''$ と $PN_I'' \cdot PN_Q'$ のクロスタームは相関が平均的にゼロになることを前提に省略している。送信側のPNと受信側のPNのタイミングが一致すれば、PN符号による拡散変調が解け、所望の特性が得られ、一致しなければ、それぞれの相関特性に応じた相関値が出力されることになる。同図における1067、1068はアキュムレータであり、PN4チップがウォルッシュ1チップに対応するため、例えばシリアルパラレル変換器1069、1070と加算器1071、1072により構成される。

【0085】以上に示したように、図9の実施例においては、観測時間中の異なるタイミングで到来する到来波の受信電力を捕捉、モニタ（スキャン）するために、FHTが本来4つ必要であったものをタイミングを調整することにより、FHTを時分割で使用するようにしたので、ハードウェア規模の縮小化が実現されている。なお、この実施例においては、図10、図12におけるタイミング調整手段に用いたシフトレジスタの段数は最高で4段の場合について示したが、シフトレジスタの段数を増大させることにより、容易に観測時間の増大化も可能である。その場合には、FHTの時分割使用によるハードウェア規模は更に縮小されることになる。

#### 【0086】実施例9.

この発明のスペクトル拡散信号の受信機でのサーチャーレーバの他の実施例を図15により説明する。図9ではサーチ処理回路10の全出力を加算回路12にて合成した後、巡回加算器14へ入力する構成であったのに対し、図9では、判定帰還型サーチ処理回路によって、別に設けられた、送信シンボル判定手段によって判定されたシンボル番号（ウォルッシュ関数番号）が帰還される。この帰還信号によって、サーチ処理回路では、64の相関値強度から、1つだけを選択し巡回加算器へ入力する。

【0087】図16は図15の判定帰還型サーチ処理回路20の詳細な一実施例を示している。図16において、相関処理器、シフトレジスタによるタイミング調整手段、シリアルパラレル変換は図10と同一であり、相関処理されたパラレルデータが調整されたタイミングに応じてシリアルパラレル変換器出力となる。そしてこれらの出力は、遅延およびゲート回路202、204にそれぞれ入力される。遅延及びゲート回路202、204では、別の送信シンボル判定手段によって送信シンボルが判定されるまでの間パラレルデータを遅延させ、送信シンボルが判定される（ウォルッシュ関数番号が帰還される）と、調整されたタイミングに応じてパラレルデータをFHT150、152へそれぞれ出力する。この出力を受けて、FHT150、152では、セクタ206、208へ計算された全送信候補シンボルの相関値を

それぞれ出力する。セクタ206、208はFHT150、152の出力のうち、判定帰還されたウォルッシュ関数番号（送信シンボル）に関する相関値のみを選択し、相関値強度計算回路210に出力する。相関値強度計算回路210はセクタ206、208から与えられる相関値の例えば2乗和を計算して、判定帰還型サーチ処理回路20の出力として、判定されたシンボルに関する異なるタイミングでの相関値を順次出力する。

#### 【0088】実施例10.

この発明のサーチャーレーバの他の実施例を図17により説明する。図17は図16とタイミング調整手段の実現方法が異なるが、その他の動作は同一である。ウォルッシュ関数番号が帰還されるまでの間パラレルデータを遅延させておく以外のタイミング調整方法は、図12と同一である。

【0089】なお、通信の開始時に、初期のタイミング推定をより確実なものとするために、既知信号をプリアンブルとして送信することがなされる場合がある。このような場合には、図15におけるサーチャーレーバにおいても、帰還信号を入力せず、既知信号に対応した送信シンボル番号をコントロールプロセッサから入力することにより、より確実な捕捉特性を実現できる。

#### 【0090】実施例11.

この発明のスペクトル拡散信号の受信機でのデジタルデータレーバの一実施例図18にを示す。デジタルデータレーバはタイミング追尾手段と、相関値強度計算手段を有している。即ち、図9または図15に示されているタイミング制御部18より与えられた捕捉タイミングについて、タイミング追尾を行い受信信号とPN符号ならびにウォルッシュ関数との相関値を計算する。

【0091】図18において、デジタルデータレーバは、ベースバンド複素受信信号 $r_I$ 、 $r_Q$ を入力とし、PN符号、ウォルッシュ関数との相関を計算し相関値強度を出力する相関処理器302と、シリアルパラレル変換器322、324と、FHT342、344と、相関値強度計算回路362から構成される。まず、相関処理器302においてと、拡散符号 $PN_I$ 、 $PN_Q$ を解くための相関処理が行われ、PN4チップ分をアキュレートした信号を相関処理された受信信号として出力する。相関処理器302の構成は図14と同一であり、 $\cos \phi$ を有する成分と $\sin \phi$ を有する成分の2つが出力される。この出力は、例えば、シリアルパラレル変換器322、324において64の相関処理されたパラレルデータとなり、FHT342、344にそれぞれ出力される。そして、FHTではそれぞれのパラレルデータとウォルッシュ関数との相関値を計算する。例えば、FHT342では $\cos \phi$ を有する成分との相関値を計算し、FHT344では $\sin \phi$ を有する成分との相関値



を計算する。FHT342, 344の出力は相関値強度計算回路362に出力され、同一の送信候補シンボルに関する相関値毎に例えば2乗和が計算され、送受搬送波間の位相差 $\phi$ の影響を取り除いた、64の相関値電力を総合の相関値強度として出力する。相関処理器及びFHTでの処理タイミングと受信データとのタイミングが一致していれば、ウォルッシュ関数の直交性から、送信されたウォルッシュ関数番号の相関値のみが受信レベルに応じた値を有し、その他の相関値はゼロとなる。別のタイミングで到来する信号との相関、あるいは雑音の影響などにより、どの相関値もなんらかの値を有することになるが、これらの相関値強度から、直接、あるいはダイバシチ合成後、送信シンボル判定手段により、最大の相関値を有するウォルッシュ関数番号を送信されたシンボルと判断し、対応する6ビットのデータを送信データとして復調する。

【0092】一方ベースバンド複素受信信号 $r_I$ 、 $r_Q$ は相関処理器304、306にも入力される。そして、PN符号の符号位相を調整するシフトレジスタ318、320により、相関処理器302に入力されるPN符号より $\Delta$ チップ分の符号位相(タイミング)差を有するPN符号が得られる。このうち、正の符号位相差を有する $PN_I(\Delta)$ 、 $PN_Q(\Delta)$ が相関処理器304に、また、負の符号位相差を有する $PN_I(-\Delta)$ 、 $PN_Q(-\Delta)$ が相関処理器306に、それぞれ入力され相関処理される。通常 $\Delta$ の値は1チップあるいは、0.5チップ程度がよく用いられる。 $\Delta$ が1チップの時は、シフトレジスタ318、320はPN符号と同一速度のクロックでPN符号シフトさせればよく、0.5チップの時はPN符号の倍の速度のクロックでPN符号をシフトさせればよい。相関処理器304の2つの出力はシリアルパラレル変換器326、328でそれぞれパラレルデータに変換され、相関処理器306の出力はシリアルパラレル変換器330、332に出力される。それぞれのパラレルデータは遅延回路334、336、338、340で、相関値強度計算回路が出力したデータをもとに他の送信シンボル判定手段によって送信シンボルが判定されるまでの間、データを遅延させる。送信シンボルが判定され、ウォルッシュ関数番号が帰還されると遅延回路出力は、FHT346、348、350、352で、相関処理されたPN符号のタイミングとそれぞれ同期したタイミングでウォルッシュ関数との相関値が計算される。そして、計算された64の相関値のうち、判定されたウォルッシュ関数番号に対応した相関値のみが、セクタ354、356、358、360により選択され、相関値強度計算回路364、366で、符号位相差を有する場合の総合の相関値電力が計算される。

【0093】そして、加算器368で相関値強度計算回路364、366の出力の差をとり、ループフィルタ370で平均化を行い、ループフィルタ出力370の値に

応じてVCO372のクロック周波数を制御し、制御されたクロック周波数により、PN発生器308、310、312を制御することにより、タイミング追尾が実行される。また、PN発生器308、310、312はコントロールプロセッサ16との信号入出力があり、コントロールプロセッサより与えられる捕捉タイミングにまず符号位相を調整したり、コントロールプロセッサ16へ現在の追尾タイミングを与えることにより、コントロールプロセッサはサーチレーバからの信号とともに、タイミングの制御を行う。

【0094】なお、以上の実施例においては、相関処理されたデータのFHTへの入力をシリアルパラレル変換器により、パラレル変換された形で与える場合について示したが、FHTへ入力される部分にシフトレジスタを設けて、シリアルのまま入力することも可能である。データ復調、タイミング追尾では、受信信号のタイミング、若干の符号位相差を有するタイミングにおける相関値さえ得られれば、以上に説明したのと同様な動作が得られるので、相関を取るべきデータタイミングにおいてのみ相関値を計算するようにすれば、処理量を減らすことができ、その結果、低消費電力化を図ることも可能である。データタイミング毎に1度の処理で良い。

#### 【0095】実施例12.

この発明のデジタルデータレーバの他の実施例を図19に示す。図19の実施例では、送信シンボル判定ならびに、タイミング追尾に必要な相関値は、受信信号のタイミング、正ならびに負の符号位相差を有するタイミングにおける相関値なので、相関処理器302、304、306にて相関処理されたデータをタイミング調整手段によりタイミング調整を行い、FHTを時分割で使うことが可能である。図19では、パラレルデータのうち $\cos \phi$ を有する成分でFHTの時分割使用を行い、 $\sin \phi$ を有する成分でFHTの時分割使用の例を示している。タイミング調整手段としては、遅延回路334、336、338、340とゲート回路374、376、及び、ゲート回路382、384を用いて構成している。遅延回路における遅延時間 $D_1$ 、 $D_2$ はウォルッシュ関数番号が帰還されるまで、あるいはそれ以上の適当な時間に設定される。また、ゲート回路374、376は好ましい時間にFHTで入力信号とウォルッシュ関数の相関をとるよう制御され、ゲート回路382、384はデータ復調をする系とタイミング追尾する系にそれぞれの信号を振り分けるように動作する。

#### 【0096】実施例13.

この発明の更に他の構成によるデジタルデータレーバの実施例を図20に示す。この実施例の構成は、タイミング追尾系の部分にFHTを使用しない構成である。即ち、ウォルッシュ関数番号が判定されると、判定されたウォルッシュ関数番号に対応する判定シンボル系列を、ウォルッシュ関数発生器410で発生させる。ウオ

ルッシュ関数発生器は、例えば、ROM等へ書き込まれた系列を読み込んでよいし、関数番号を与えることにより、対応するシンボル系列を発生させる逆アダマール変換の処理を行うハードウェア、あるいはソフトウェア等の構成が考えられる。この出力を、シフトレジスタ 3 1 8、3 2 0と同様にタイミング調整を行うシフトレジスタ 4 1 2に入れ、更に、相関処理に用いられたのと同期したタイミング関係で、相関処理出力と判定シンボル系列との乗積と積分操作を、それぞれ乗算器 4 1 4、4 1 6、4 1 8、4 2 0、及び、積分放電回路 4 1 5、4 1 7、4 1 9、4 2 1で行う。こうして、受信信号と判定シンボルに関する相関値が計算できる。遅延回路 4 0 2、4 0 4、4 0 6、4 0 8はウォルッシュ関数番号が判定され帰還されるまでの間、相関処理されたデータを遅延させる機能を有している。FHTはパラレルデータに対して全送信候補シンボルに関する相関値を計算するが、この実施例では、シリアルデータに順次シンボル系列との乗積、ならびに積分操作を行うためハードウェア構成も簡単で、シリアルパラレル変換器も不要となり、回路の小型化がはかれる。

#### 【0097】

【発明の効果】以上説明したように、この発明によるスペクトル拡散信号の受信機によれば、異なるタイミングでPN符号との相関処理を行った受信信号に対して、タイミング調整手段を設けてFHTを時分割使用し、異なるタイミングに応じたタイミングで全送信候補シンボルとの相関値をもとめるため、回路規模の小型化ができる効果がある。また、サーチャーレーバにおいて、FHT出力の全送信候補シンボルの相関値を別の送信シンボル判定手段において送信シンボルが判定されるまでの間遅延させ、判定された送信シンボルの相関値のみを選択し、選択された信号を用いてタイミング捕捉をおこなうので、不要な雑音を効果的に除去できる効果がある。

【0098】また、ディジタルデータレーバにおけるタイミング追尾手段においても、FHT出力の全送信候補シンボルに対する相関値の中から、判定されたシンボルに関する相関値のみを選択し、選択された信号に対してタイミング追尾を行うので、不要な雑音を効果的に除去できる効果がある。また、判定シンボル系列を発生させ、受信信号と正、負の位相差を有する相関特性を求めてタイミング追尾を行う場合には、FHTならびにFHT入力データを処理するシリアルパラレル変換器が不要になるので、回路規模を小さく出来る効果もある。

【0099】更に、受信特性が効果的に改善されたダイバーシチ合成後の相関値強度から、送信シンボルを判定し、サーチャーレーバ、ディジタルデータレーバへ帰還するので、誤ったシンボルの相関値を選択する確率を低減し、捕捉特性、追尾特性が向上する効果がある。

#### 【図面の簡単な説明】

【図1】実施例に係るサーチャーレーバの全体構成を

示すブロック図である。

【図2】他の実施例に係るサーチャーレーバの全体構成を示すブロック図である。

【図3】サーチ処理回路の構成を示すブロック図である。

【図4】相関処理器の構成を示すブロック図である。

【図5】ディジタルデータレーバの構成を示すブロック図である。

【図6】ディジタルデータレーバの他の構成を示すブロック図である。

【図7】ディジタルデータレーバの更に他の構成を示すブロック図である。

【図8】ダイバシティ受信器の構成を示すブロック図である。

【図9】この発明の一実施例によるサーチャーレーバの全体構成ブロック図である。

【図10】図9のサーチ処理回路の構成図である。

【図11】図10のサーチ処理回路のタイミング関係を説明するタイミング図である。

【図12】サーチ処理回路の他の構成図である。

【図13】図12のサーチ処理回路のタイミング関係を説明するタイミング図である。

【図14】相関処理器の構成図である。

【図15】この発明の一実施例による判定帰還型のサーチャーレーバの全体構成ブロック図である。

【図16】図15の判定帰還型サーチ処理回路の構成図である。

【図17】判定帰還型サーチ処理回路の他の例を示す構成図である。

【図18】この発明の一実施例によるディジタルデータレーバの構成図である。

【図19】ディジタルデータレーバの他の実施例を示す構成図である。

【図20】この発明の一実施例によるディジタルデータレーバの他の構成を示すブロック図である。

【図21】従来のスペクトル拡散信号の通信装置の全体構成を示すブロック図である。

【図22】従来のスペクトル拡散信号の受信機のアナログレーバ、ディジタルデータレーバの詳細な構成を示すブロック図である。

#### 【符号の説明】

10 サーチ処理回路

12 加算回路

14 巡回加算器

142 加算器

144 フレームメモリ

146 乗算器

16 コントロールプロセッサ

18 コントロールプロセッサ中のタイミング制御部

50 102, 104 シフトレジスタ

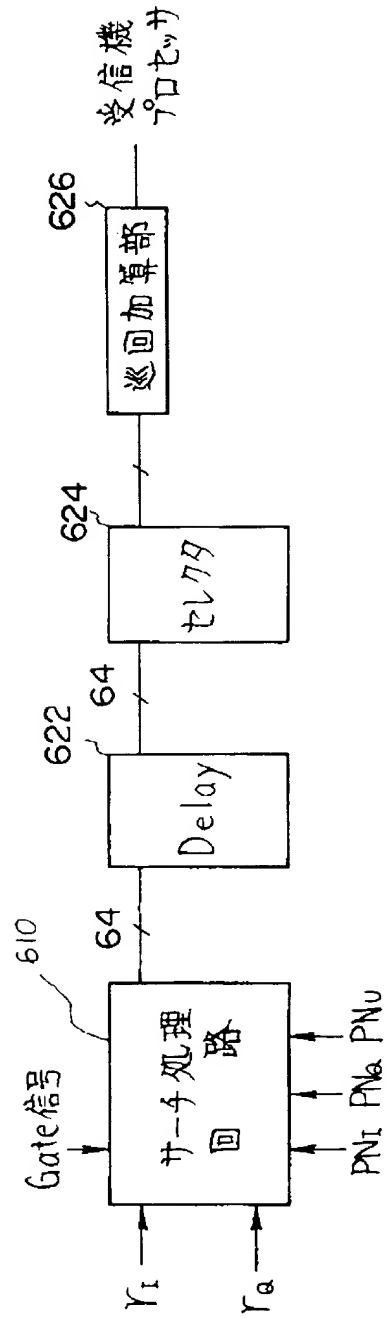
35

106, 108, 110, 112, 302, 304, 306 相関処理器  
 114, 116 乗算器  
 118, 120, 122, 124, 126, 128 シフトレジスタ  
 130, 132, 134, 136, 138, 140, 142, 144, 322,  
 324, 328, 330, 332 シリアルパラレル変換器  
 146, 148 ゲート回路  
 150, 152, 342, 344, 346, 348, 350, 352 FHT  
 154, 362 相関値強度計算回路  
 156, 158 シフトレジスタ  
 1061, 1062, 1063, 1064 乗算器  
 1065, 1066 加算器  
 1067, 1068 アキュムレータ  
 1069, 1070 シリアルパラレル変換器  
 1071, 1072 加算器  
 20 判定帰還型サーチ処理回路  
 202, 204 遅延及びゲート回路  
 206, 208, 354, 356, 358, 360, 386, 388 セレクタ  
 210, 364, 366, 390 相関値強度計算回路  
 334, 336, 338, 340 遅延回路  
 368 加算器  
 370 ループフィルタ  
 372 VCO  
 308, 310, 312 PN符号発生器  
 318, 320 シフトレジスタ  
 334, 336, 338, 340 遅延回路  
 374, 376, 382, 384 ゲート回路  
 402, 404, 406, 408 遅延回路  
 410 ウォルッシュ関数発生器  
 412 シフトレジスタ

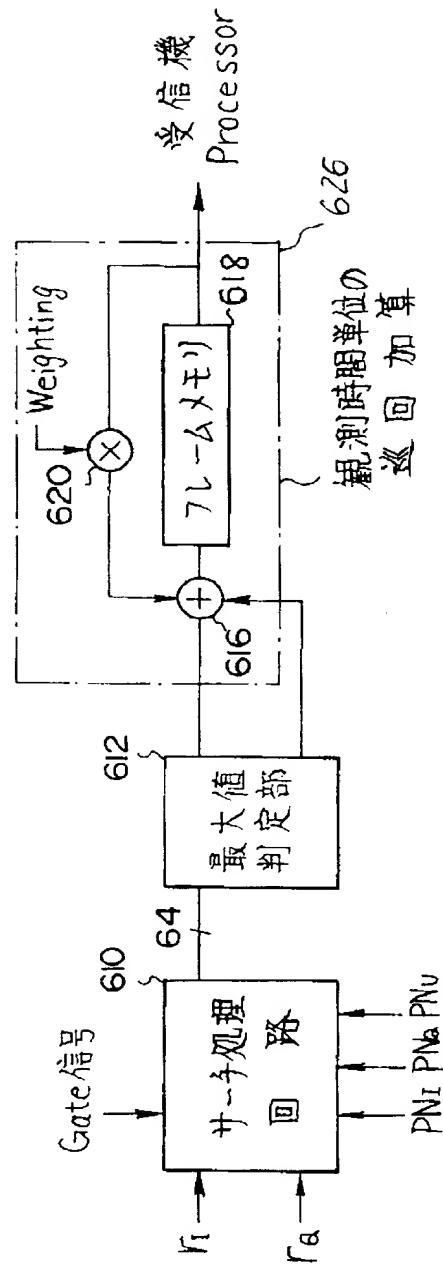
36

414, 416, 418, 420 乗算器  
 415, 417, 429, 421 積分放電回路  
 1a, 1b, 1c, 1d サーチャーレシーバ  
 2a, 2b, 2c, 2d デジタルデータレシーバ  
 50 ダイバーシチ合成回路  
 501, 502, 503, 504 乗算器  
 505, 506, 507, 508 ラッチ回路  
 509 加算器  
 510 最大値判定回路  
 10 511 デコーダ  
 64, 65, 66, 67 アナログレシーバ  
 610 サーチ処理回路  
 612 最大値判定部  
 622 遅延回路  
 624 セレクタ  
 626 巡回加算部  
 630, 632 シフトレジスタ  
 634, 636, 638, 640 相関処理器  
 642, 644, 646 シフトレジスタ  
 20 648, 650, 652, 654 シリアル/パラレル変換器  
 656 ゲート回路  
 658 FHT (高速アマダール変換器)  
 660, 662, 664, 666 乗算器  
 668, 670, 680 加算器  
 700, 710, 712 相関処理器  
 702, 714, 716 シリアル/パラレル変換器  
 704, 718, 720 FHT  
 722, 724 遅延・選択回路  
 30 728 LF (ループフィルタ)  
 730 PNI 発生器  
 732 PNQ 発生器  
 734 PNU 発生器  
 740, 742 シフトレジスタ

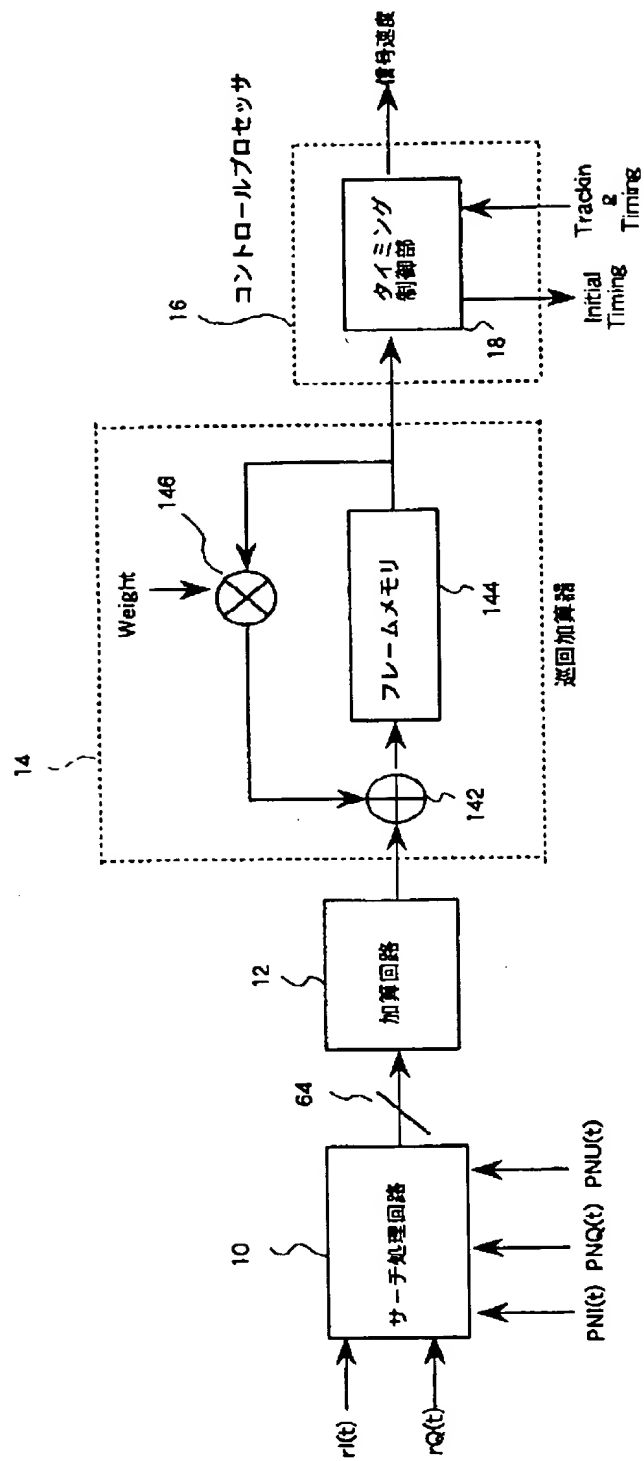
【図 2】



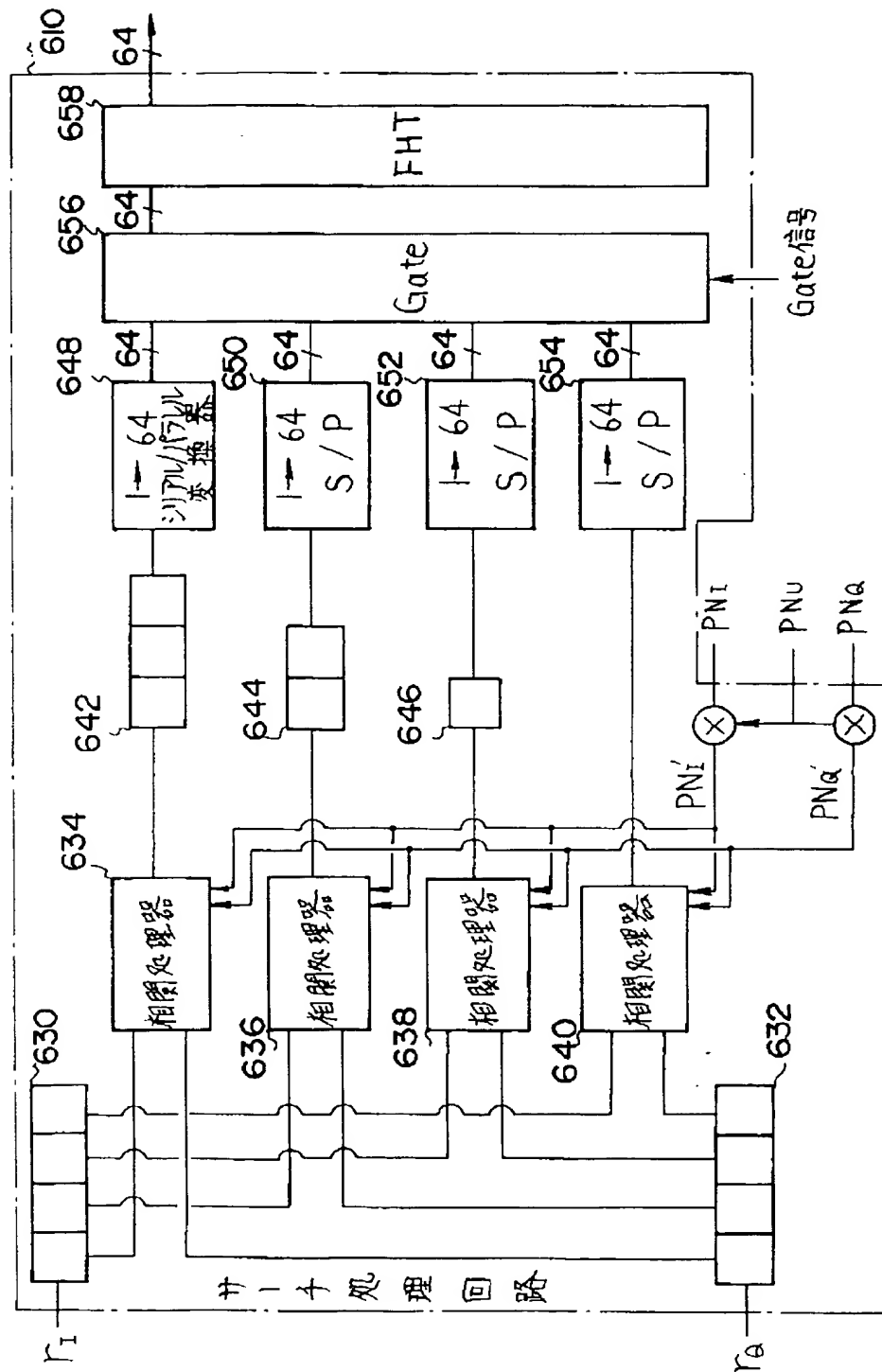
【図1】



【図9】

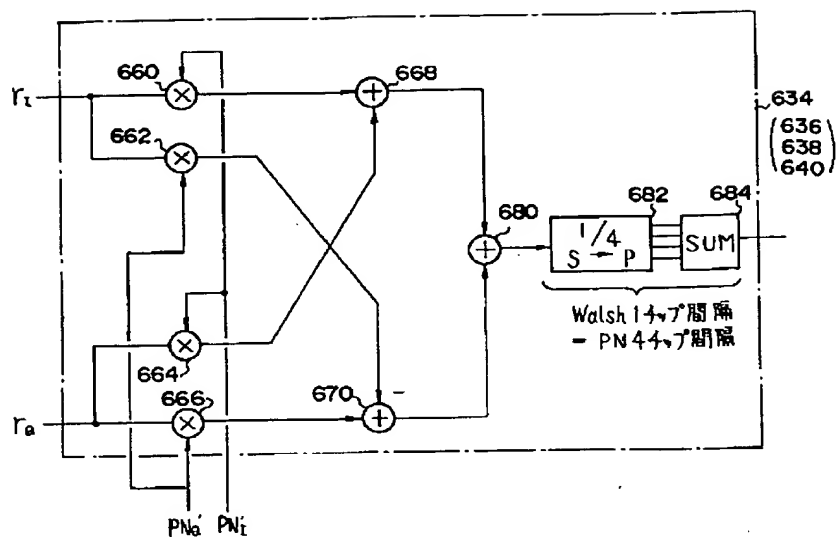


【図3】

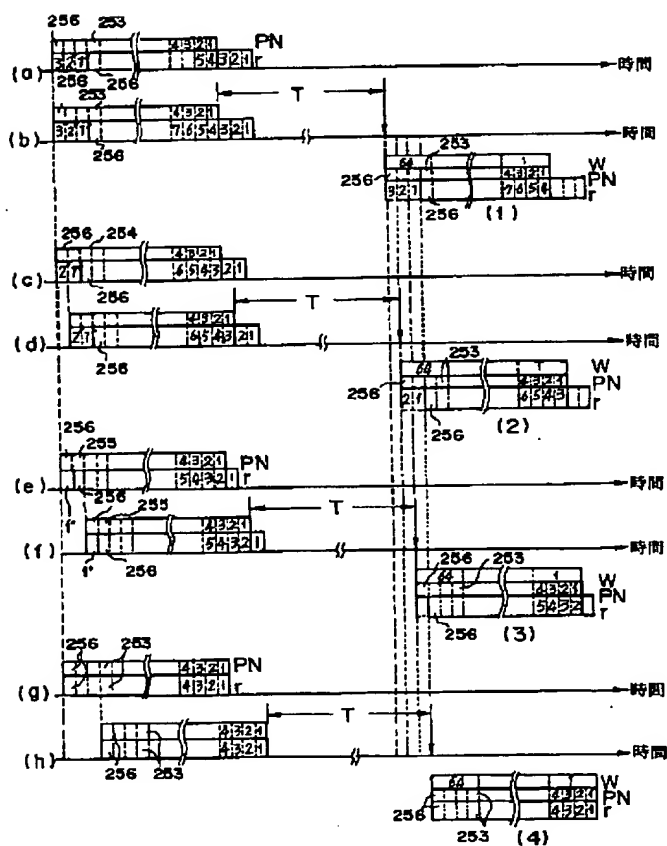




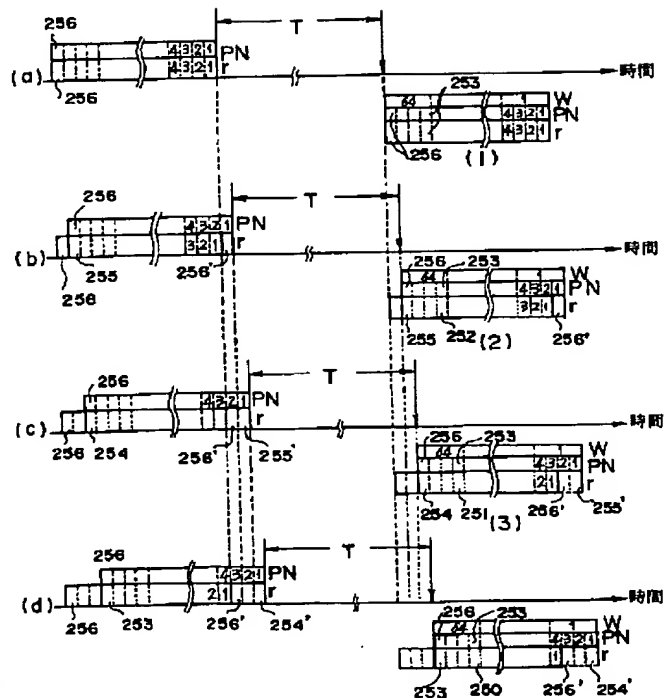
【図 4】



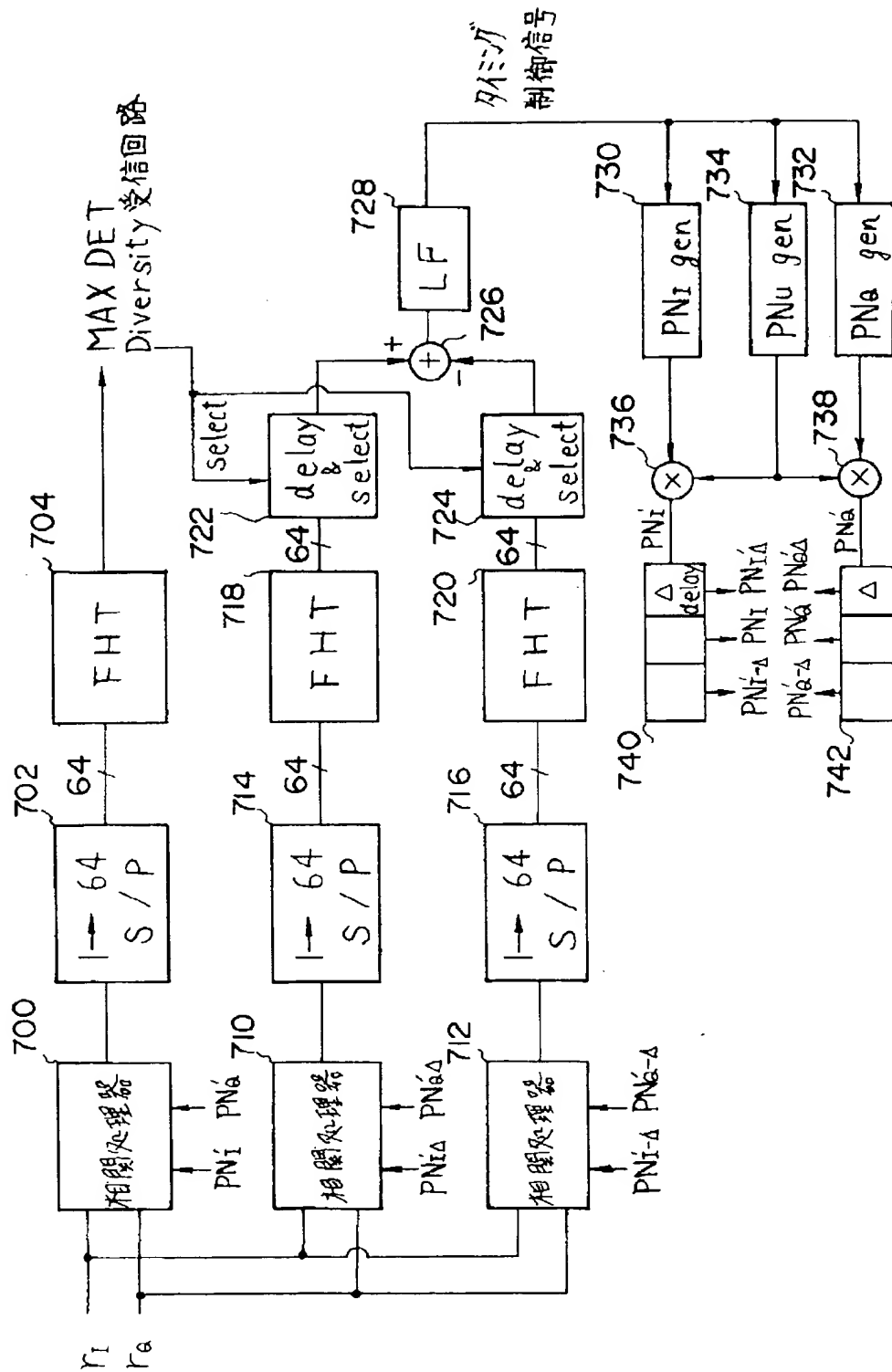
【図 11】



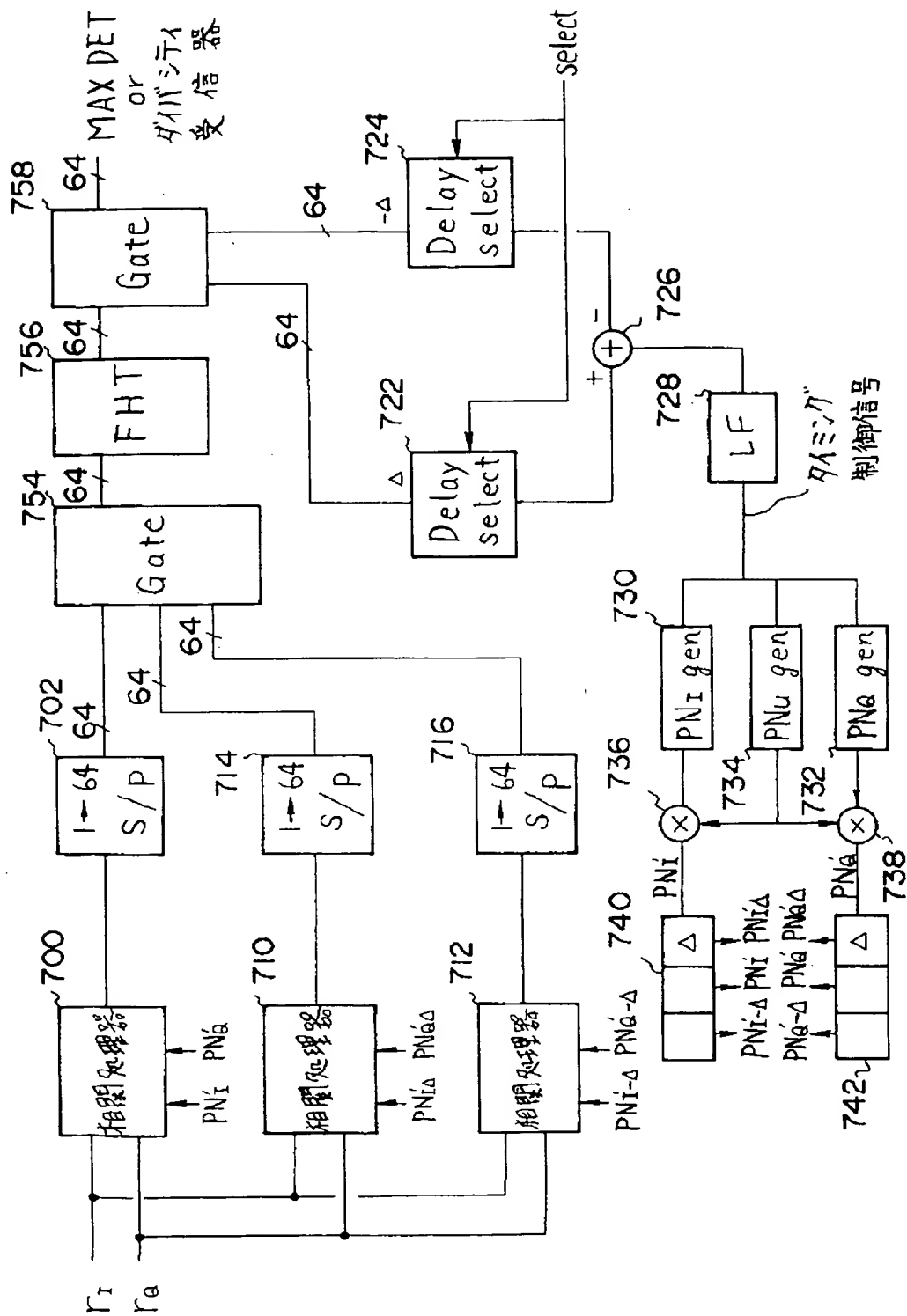
【図 13】



【図 5】

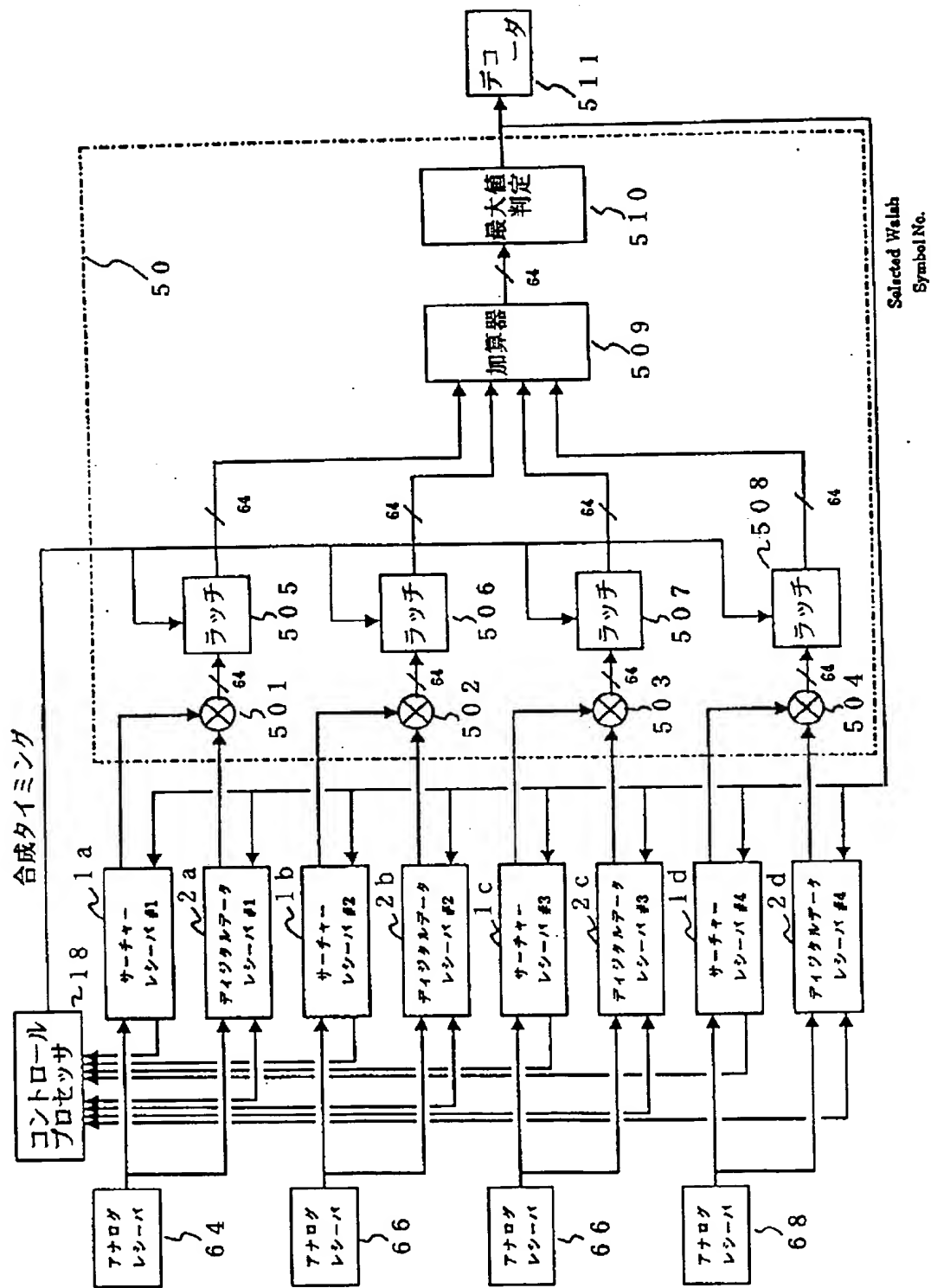


【図6】

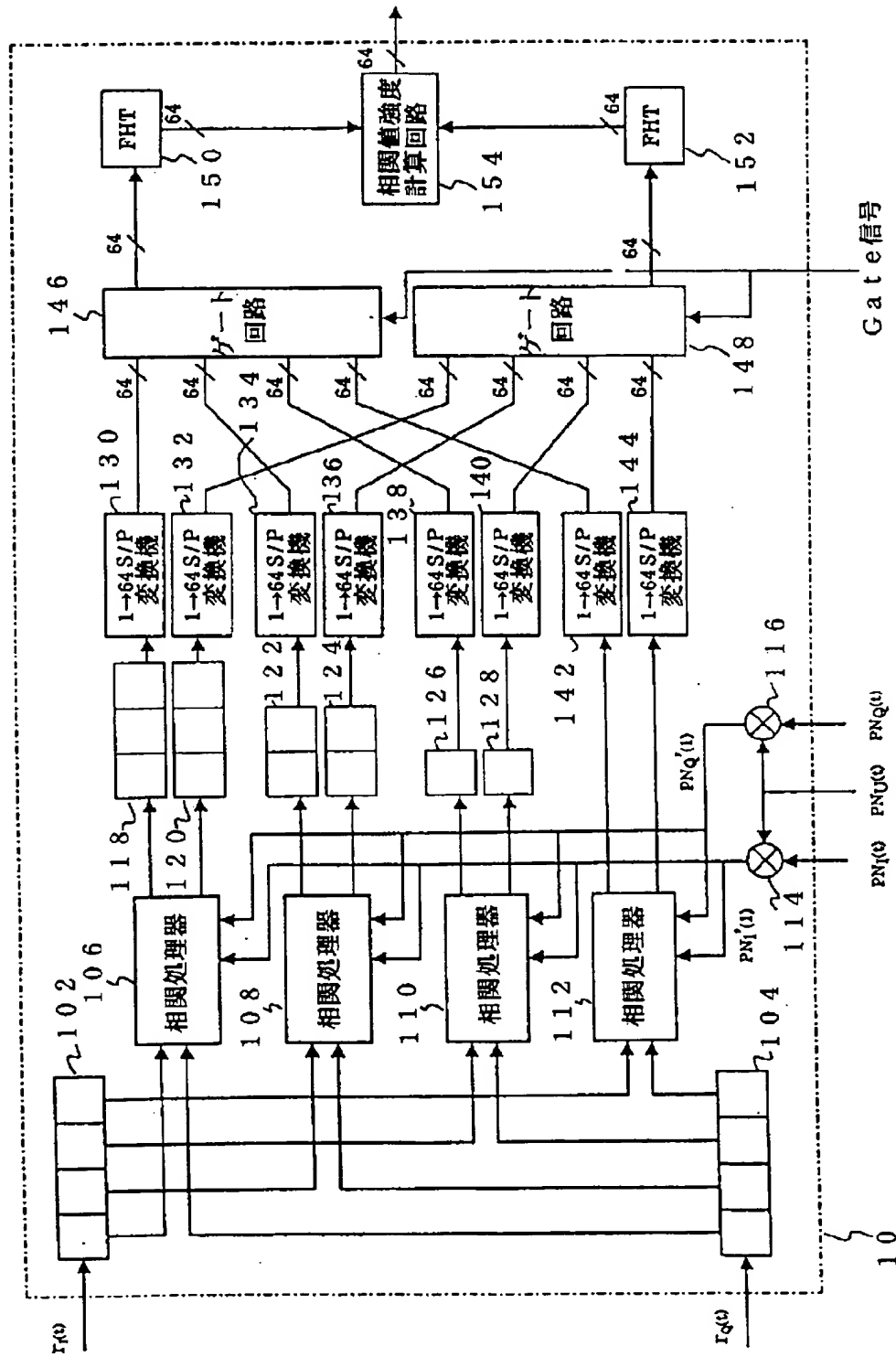




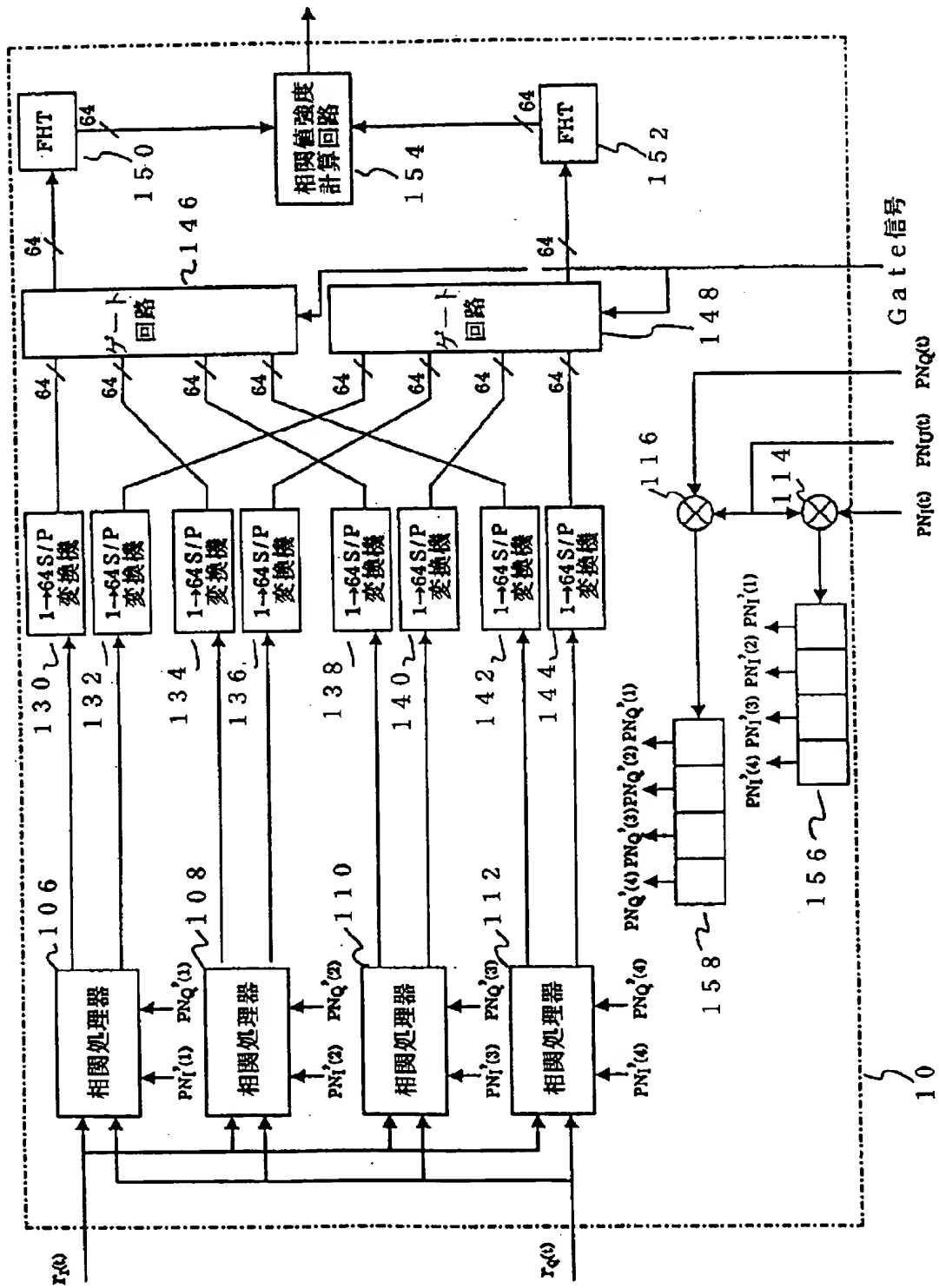
【図8】



【図10】

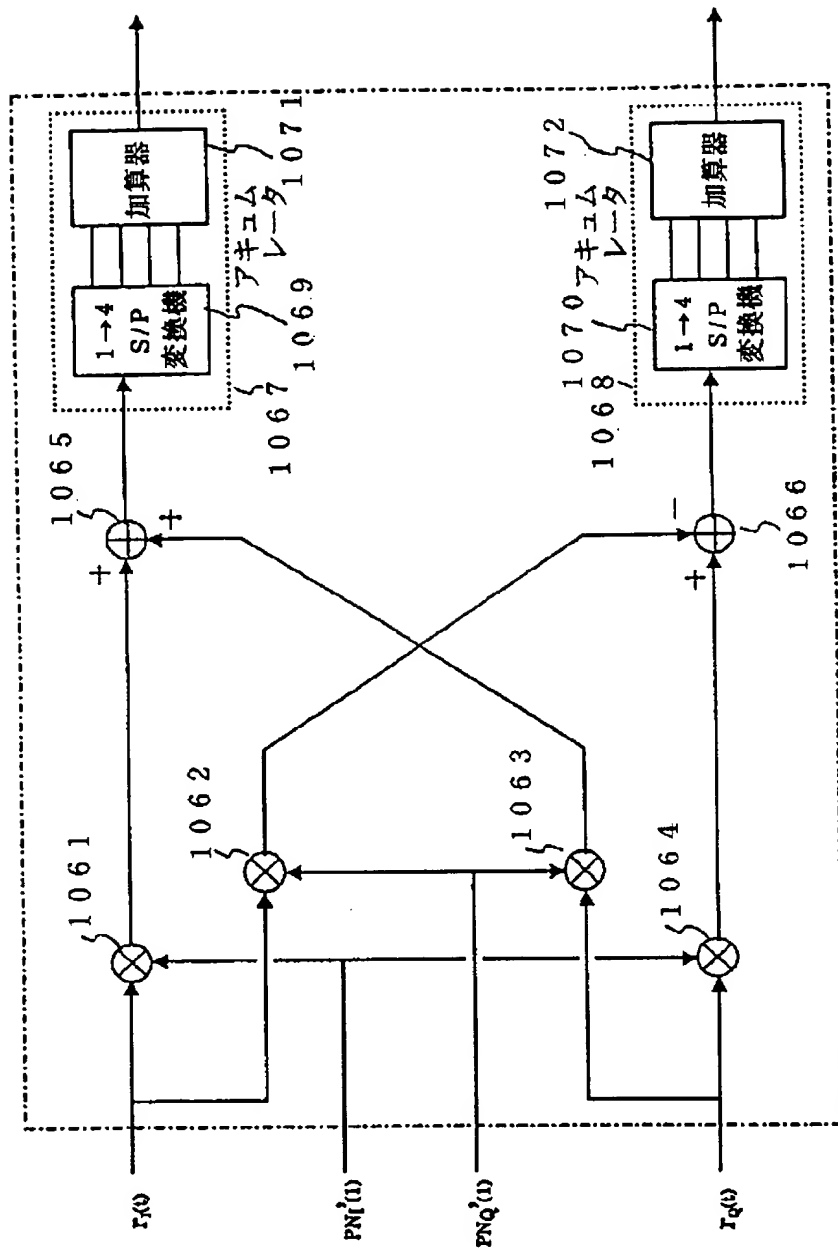


【図12】



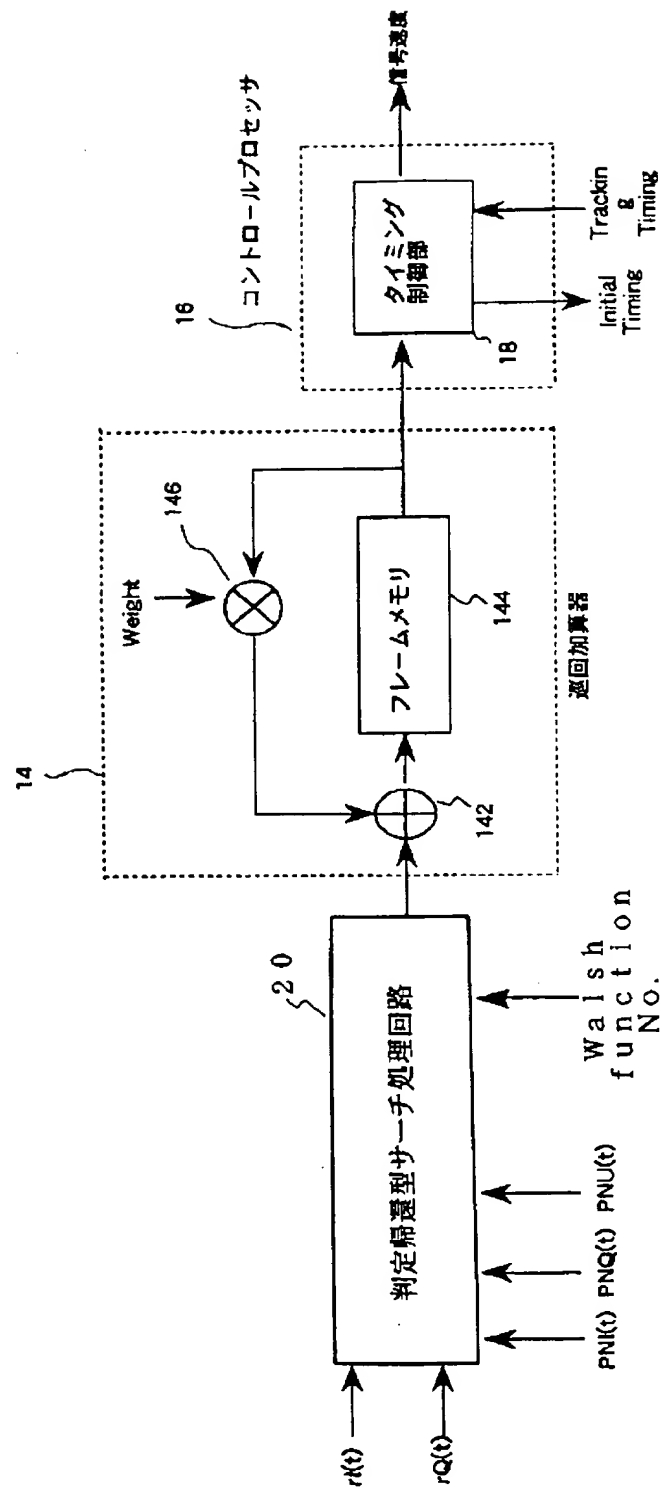


【図14】

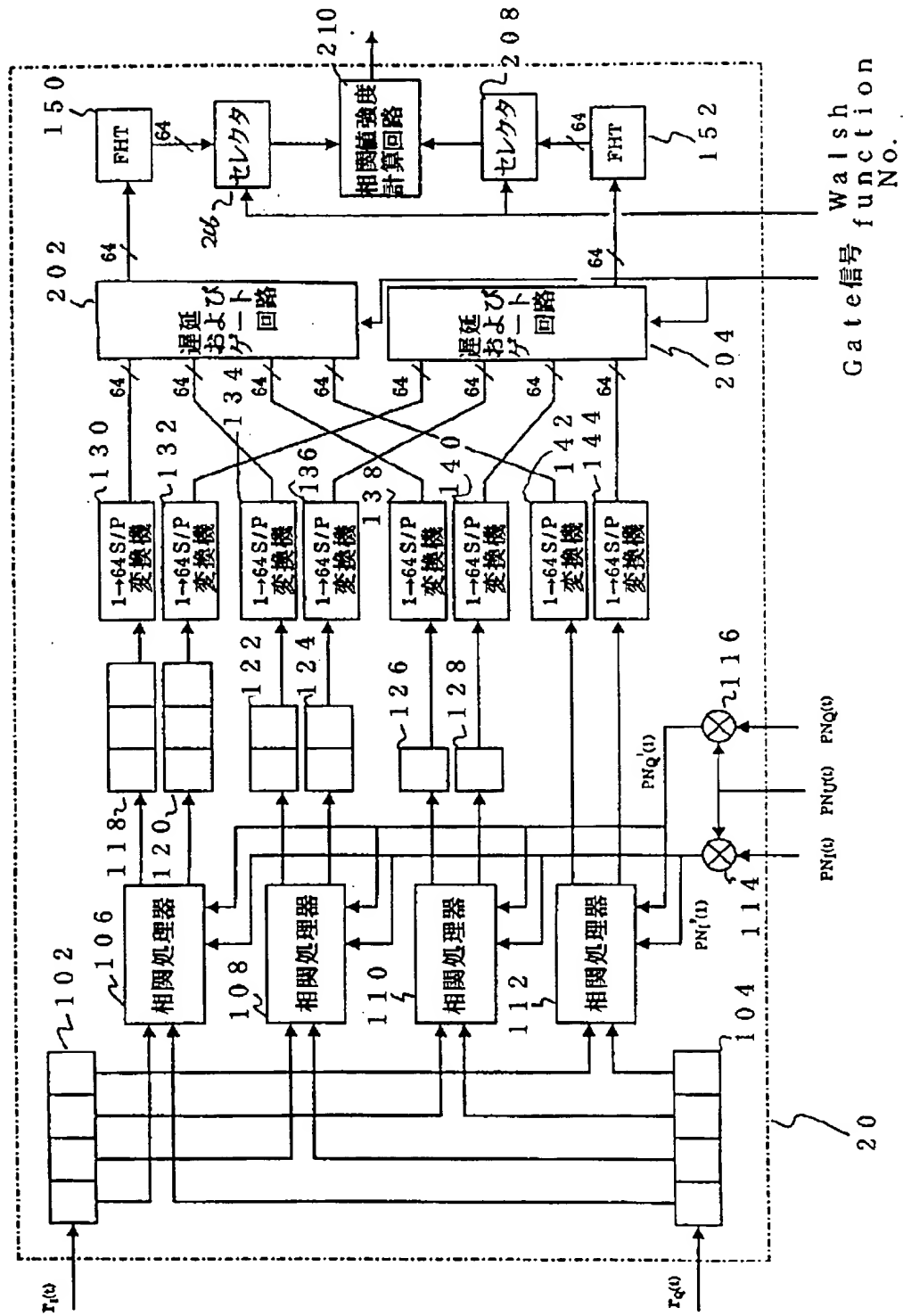


106 (108, 110, 112, 302, 304, 306)

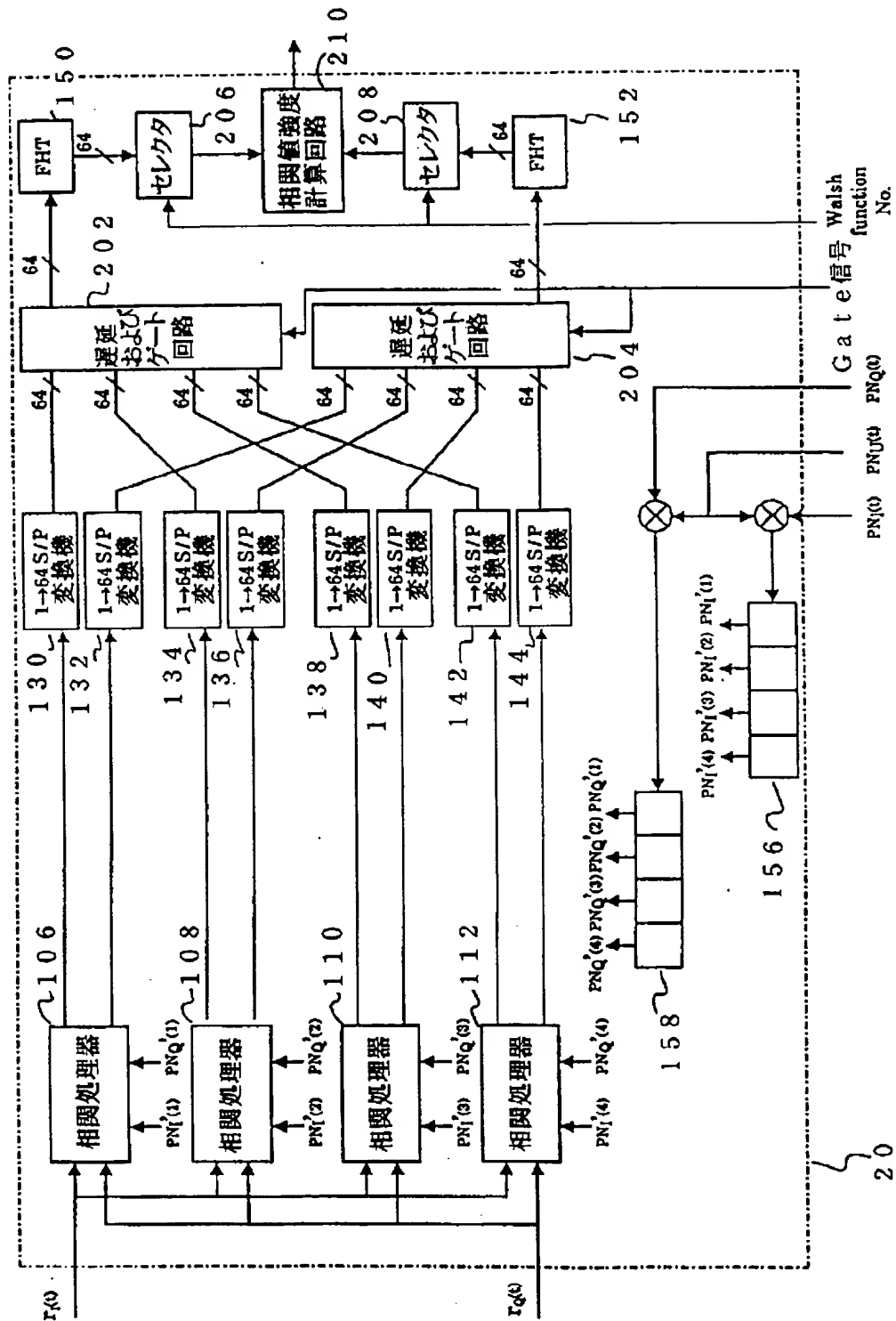
【図15】



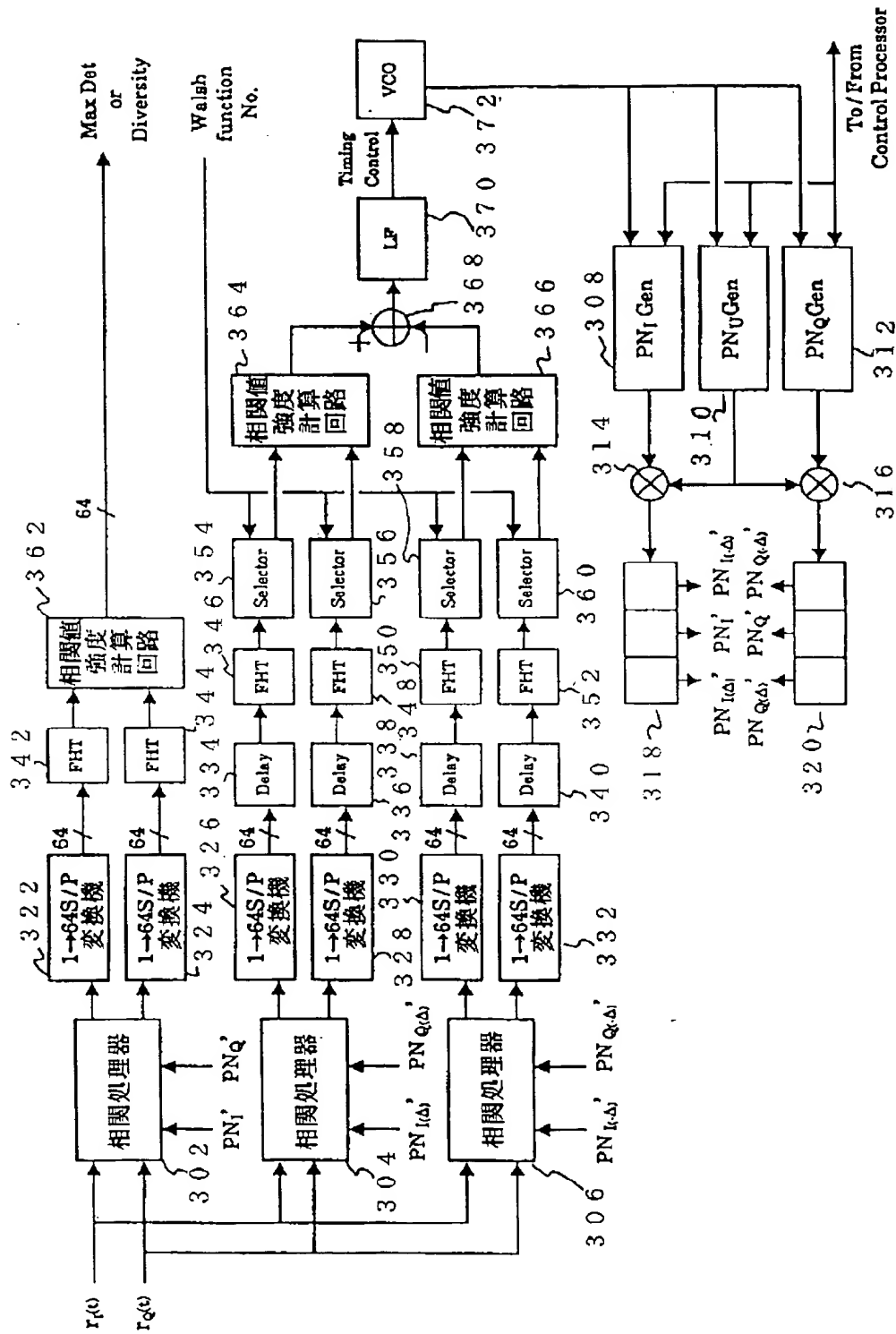
【図16】



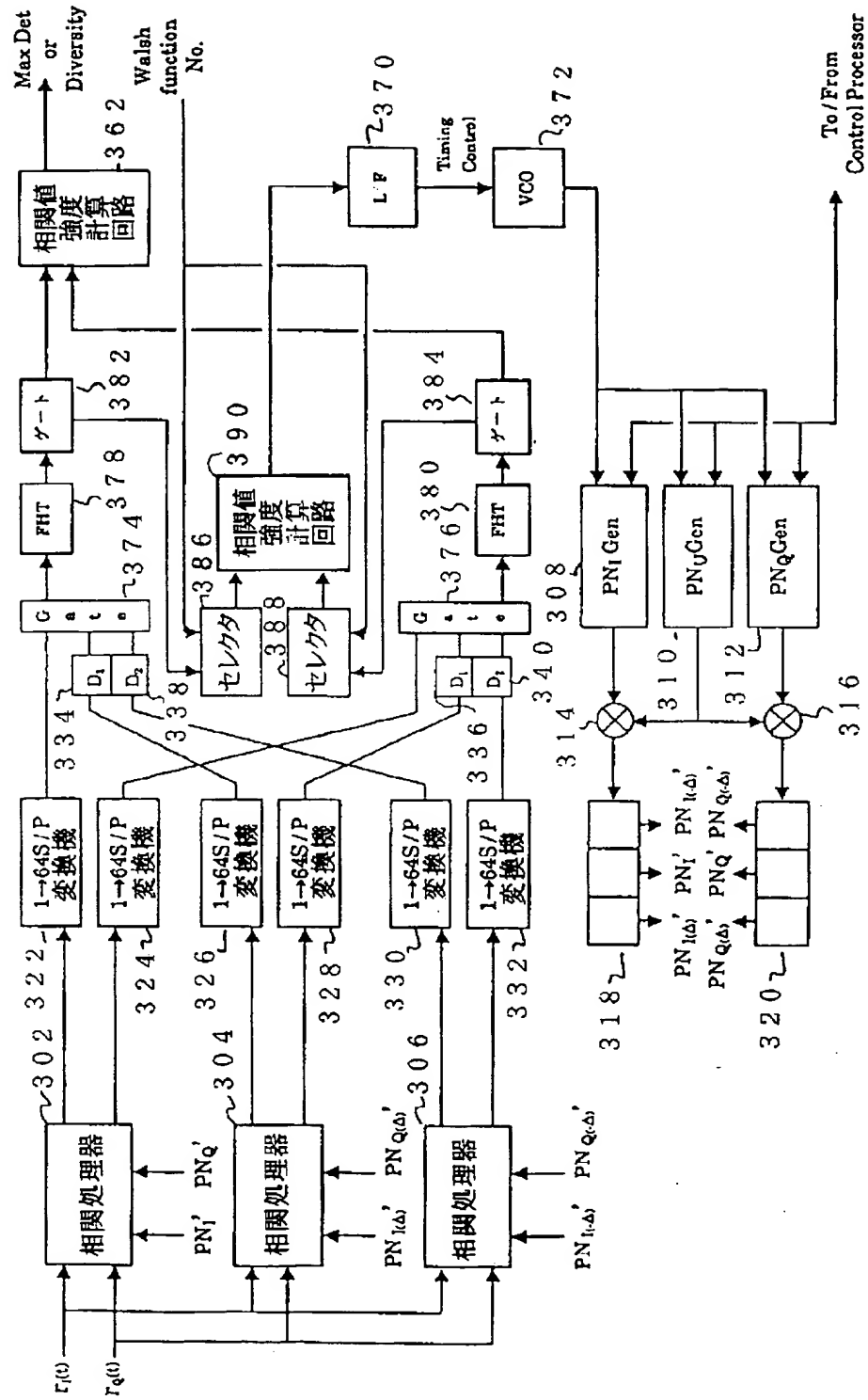
【図 17】



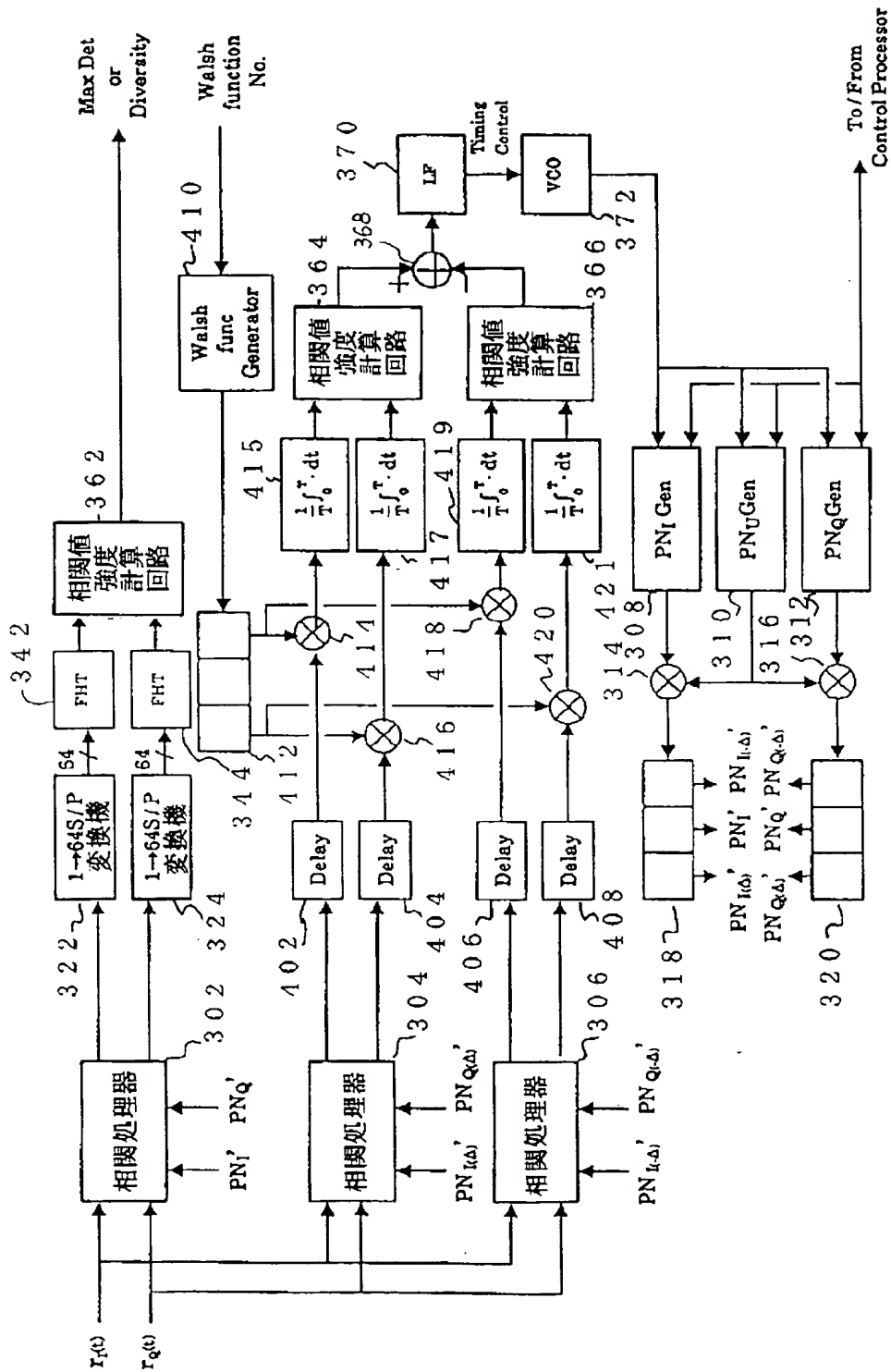
【図 18】



【図19】

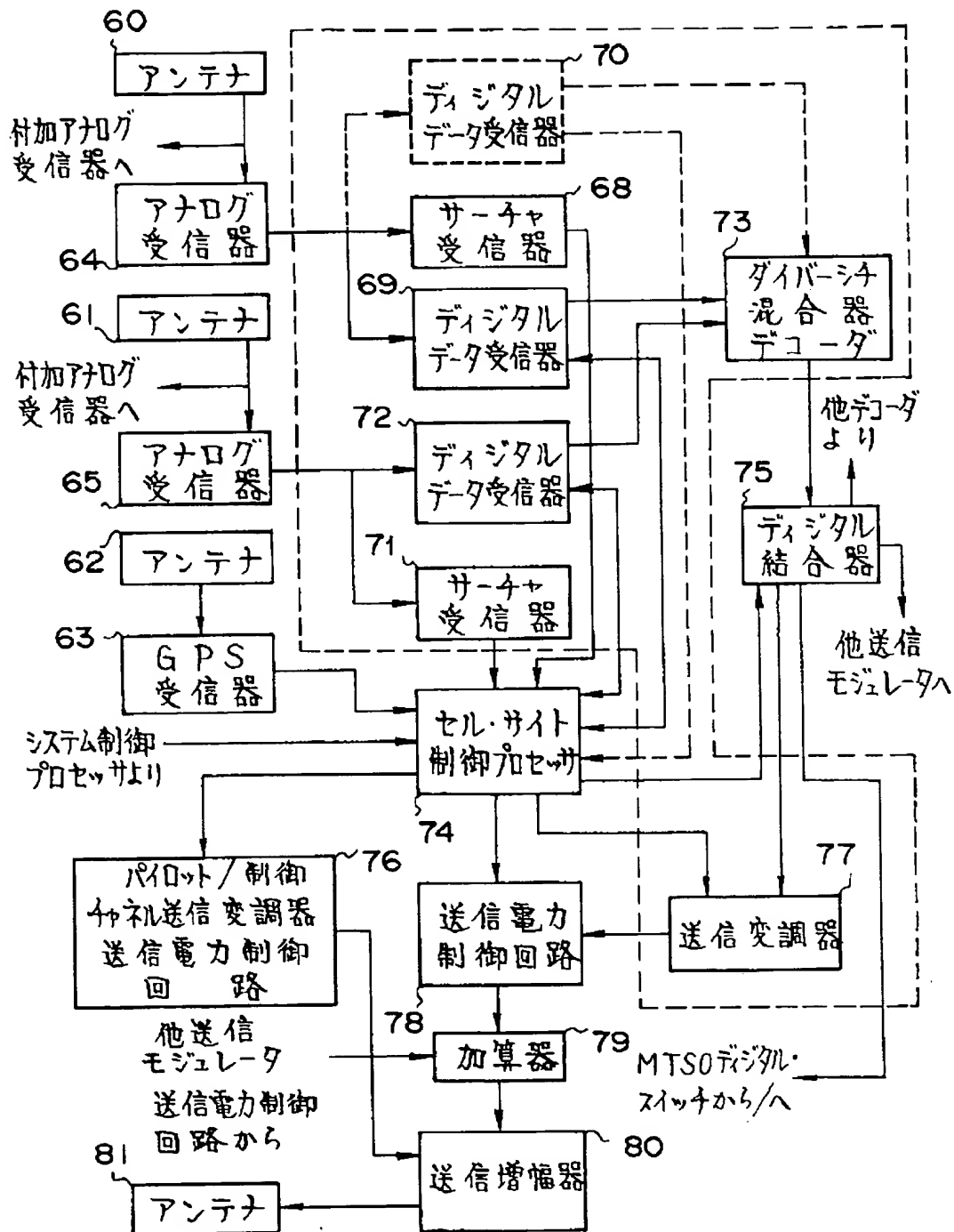


【図 20】





【図21】



【図22】

